

Las fuentes de señal ayudan a predecir el comportamiento del jitter en dispositivos de conversión paralelo/serie/paralelo

Artículo cedido por AFC Ingenieros

Autores:
 Andrew Town/Simon Krelle de Pinnacle Marketing Communications Ltd y Trevor Smith, Director de Marketing de Tektronix para osciloscopios y fuentes de señal en EMEA

Traductor:
 Juan Ojeda de AFC Ingenieros S.A. (jojeda@afc-ingenieros.com)

La reducción del nivel de jitter de una señal a niveles tolerables es una de las problemáticas de más difícil cumplimiento a la que se enfrentan los diseñadores de dispositivos serie. Debido a las altas velocidades de transmisión de datos y de los relojes embebidos, los modernos dispositivos que trabajan en serie pueden ser susceptibles de un nivel de jitter que degrada la tasa de error de los bits transmitidos (BER: Bit Error Rate). Los métodos aceptados por la Industria para especificar la tolerancia del jitter no siempre pueden determinar ciertos tipos de fallos, en particular los del jitter que dependen de la frecuencia.

La toma rigurosa de medidas es esencial para una comprensión cabal del comportamiento del jitter de un dispositivo. Es posible prever la sensibilidad del jitter con la frecuencia mediante la medición y caracterización de una serie de curvas de respuesta del jitter.

Este artículo examinará algunos de los retos en la medida del jitter y las soluciones en lo que se refiere a los dispositivos Ser/Des que se encuentran en el corazón de los actuales componentes de comunicación datos en serie.

Dispositivos afectados: Serializadores/Deserializadores (SerDes)

Un Serializador/Deserializador es un componente integrado denominado de forma abreviada "SerDes." El Serializador acepta datos en paralelo y los convierte en un flujo de bits en serie. La entrada es normalmente de 8 bits de datos en paralelo codificados a menudo con un sistema que convierte los datos en formato de 8 bits a otro de 10 bits para ser transmitidos a través de un enlace de salida de tipo serie.

El deserializador realiza el proceso inverso. Recibe los datos en serie, los descodifica si es necesario y los convierte a un formato en paralelo. El deserializador recupera también los datos del reloj y la reenvía a los elementos subsiguientes junto con los datos en sí. Los dos elementos complementarios en un SerDes proporcionan un medio eficaz para la adaptación de los datos en formato paralelo o serie al formato serie o paralelo, respectivamente, para lograr una transmisión eficiente.

Dentro de los SerDes hay un bloque llamado PLL (phase-lock loop) que recibe el reloj de referencia del sistema y lo multiplica hasta conseguir la velocidad apropiada de los datos. Otro bloque de muestreo utiliza el reloj obtenido para capturar los datos serie entrantes.

Las especificaciones de jitter de los dispositivos SerDes no cuentan toda la historia

La mayoría de las especificaciones de los dispositivos SerDes definen valores de tolerancia de jitter tanto deterministas como aleatorios. El jitter determinista se refiere a los eventos repetitivos producidos en el entorno, por ejemplo, el funcionamiento del oscilador de una fuente de alimentación conmutada. El jitter aleatorio se

refiere causas no correlacionadas que pueden provenir tanto desde dentro como desde fuera del sistema. Se debe tener en cuenta que estas especificaciones omiten cualquier referencia al comportamiento del jitter según la frecuencia. Y aún más, la mayoría de los dispositivos SerDes muestran más sensibilidad al jitter determinista cuando aumenta la frecuencia del jitter. Además se descuidan también los efectos del jitter del reloj a pesar de que las fluctuaciones de la amplitud y la frecuencia del reloj también pueden tener un efecto espectacular en la tolerancia del jitter.

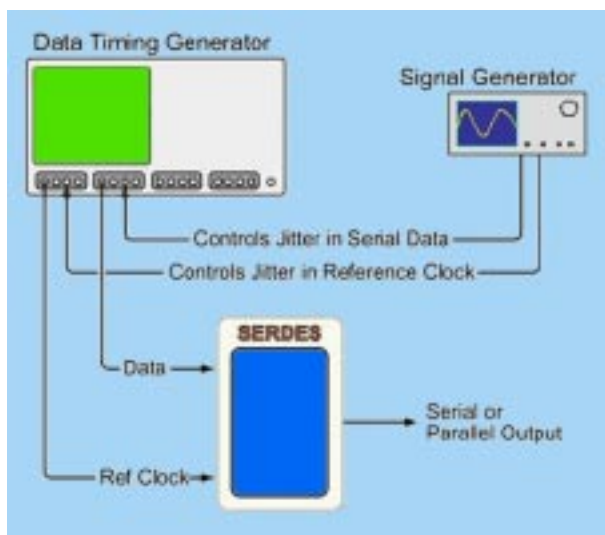
Un dispositivo SerDes que se comporta bien en la mayor parte de su rango de funcionamiento puede tener un jitter que es sensible a las frecuencias que se utilizan en el diseño del sistema donde se incorpora el dispositivo SerDes. Es evidente que se trata de un problema de fiabilidad cuya ocurrencia es de esperar.

Es posible trabajar alrededor de las frecuencias problemáticas, evitando por ejemplo, las fuentes de alimentación conmutadas que funcionan a esas frecuencias. Pero esto podría significar un compromiso con otros objetivos importantes en el diseño del sistema. El mejor método consiste en caracterizar de antemano el comportamiento de la sensibilidad del jitter con respecto a la frecuencia y seleccionar los componentes SerDes cuyas prestaciones de jitter sean compatibles con los objetivos más amplios del diseño.

El jitter abarca todo el espectro de frecuencias

El jitter de los datos y del reloj desempeña un papel en la tasa de error (BER) de los dispositivos SerDes. Uno de los factores clave es el jitter en el sistema del reloj y cómo es controlado por el PLL. El PLL tiende a transferir el jitter de su entrada a la salida con algunas variaciones que dependen de la frecuencia del jitter.

Figura 1. Configuración de los estímulos para las medidas de jitter.



Esto se ilustra mejor mediante un resumen de la respuesta de un dispositivo típico SerDes disponible hoy en día comercialmente. Para frecuencias del jitter del reloj desde CC a unos 100kHz, la respuesta del SerDes es "plana" y normal. El jitter del reloj en la entrada se transfiere de forma lineal a la salida. Pero desde 100kHz hasta 1,9MHz, el PLL amplifica realmente el contenido de jitter del reloj de referencia. Y por encima de 1,9MHz, el valor de los picos del jitter es aproximadamente un 33% más elevado que en la zona lineal y luego disminuye abruptamente. Básicamente el efecto del jitter del reloj evoluciona de forma distinta sobre las tres bandas de frecuencia: baja, intermedia y alta.

Comportamiento a baja frecuencia

El jitter provoca que las muestras individuales de los datos se desplacen de su lugar ideal en el tiempo. Esto se manifiesta en el diagrama de ojo de un osciloscopio como un "cierre" del ojo, es decir, una zona que debería estar abierta pero que está contaminada por bits erráticos. Sin embargo, en situaciones de baja frecuencia muchos de los dispositivos SerDes pueden ajustar el punto de muestreo para asegurar una buena captura de los datos. Esto les permite hacer un seguimiento de las amplitudes del jitter equivalente a muchos bits en algunos casos.

Existen ecuaciones para calcular la velocidad a la que se cierra el ojo utilizando como factores tanto la frecuencia como la amplitud del jitter. Pero el valor real de un determinado dispositivo SerDes debe medirse experimentalmente.

Comportamiento a frecuencias medias

Las interacciones en el rango de frecuencia intermedia tienden a ser complejas. En este rango, tanto el jitter del reloj como el jitter de los datos contribuyen al total. El PLL hace que se transfiera algo del jitter del reloj al muestreador y jitter proveniente de los datos también entra en él.

El jitter del reloj y de los datos puede interferir bien en forma constructiva o destructiva dependiendo de las frecuencias específicas implicadas. El SerDes tolera un jitter más elevado si las componentes del reloj y de los datos están en fase y menos si dichas componentes están fuera de fase. Un diseñador prudente asumirá los peores casos de combinación y añadirá el jitter del reloj de referencia al jitter de los datos.

Comportamiento a alta frecuencia

Debido a que el jitter del reloj tiene poco impacto a altas frecuencias, el análisis debería centrarse en el contenido de jitter de los datos una vez que la frecuencia del jitter en el reloj ha sobrepasado la parte descendente de la curva de respuesta del jitter del PLL. El muestreador ya no sigue más el movimiento del ojo en este rango de frecuencia del jitter.

Por el contrario, la integridad general del diagrama de ojos es el factor determinante. El muestreador capturará correctamente las muestras en tanto que el ojo permanezca significativamente abierto.

Pueba de jitter

Las pruebas de jitter se basan en la aplicación de una modulación a las señales de los datos y del reloj que alimentan al dispositivo SerDes bajo prueba. Una característica importante del jitter es su "perfil".

Esto es, la forma de la onda de la modulación que afecta a la gráfica del histograma de resultante cuando se mide el jitter. Los tipos de perfiles incluidos son: gaussiano, sinusoidal, cuadrado, triangular, aleatorio y otros más. Para una apertura del ojo dada, el perfil del jitter tiene un efecto significativo sobre la tasa de error de los bits transmitidos (BER).

Las formas predominantes en las pruebas de tolerancia del jitter son sinusoidales y triangulares. Ambos histogramas tienen un área relativamente rectangular bajo la curva frente a los picos que aparecen en otros perfiles. El muestreador del dispositivo SerDes busca la mediana de la región rectangular e intenta colocar la ventana de captura de muestras a 0,5UI de la mediana.

Prueba de jitter sinusoidal

El perfil sinusoidal, de uso común en todo el sector, supone un buen ejemplo para su discusión aquí. El procedimiento de medidas de jitter consiste en la conexión de fuentes discretas de jitter modulado sinusoidalmente a la entrada del reloj de referencia y a las entradas de los datos, ajustando las dos fuentes de forma independiente en cuanto a la amplitud y a la frecuencia del jitter y monitorizando la salida para ver los errores de transmisión de los bits.

Herramientas para las pruebas de jitter

La generación de jitter es una tarea que exige herramientas compatibles y bien integradas. Los requisitos de la señal son estrictos. El ancho de banda y la precisión de la fuente de datos/tiempos debe ser compatible con las múltiples velocidades de transmisión (de varios gigabits) utilizadas por los dispositivos serie actuales.



Figure 2. Procedimiento de medición de la tolerancia del jitter.

La fuente de jitter para el reloj y para las señales de datos debe ser independiente del oscilador que genera las señales de reloj y de datos. Además, el jitter en el reloj y en los datos debe ser independiente (no enganchado en fase) y las dos señales deben ser controladas por separado. Por último, la variación de la amplitud y de la frecuencia del jitter debe abarcar un amplio rango.

Generadores de forma de onda sinusoidal (Fuente de modulación)

El generador de forma de onda sinusoidal debe tener dos salidas discretas. Alternativamente, se pueden utilizar dos generadores. La frecuencia de la onda sinusoidal determina la frecuencia del jitter de la señal modulada; su amplitud establece la amplitud del jitter en la señal.

Generadores de sincronización de datos (Fuente de reloj y datos)

Para generar los datos con jitter se puede trabajar de forma conjunta con un generador de onda sinusoidal y una fuente de señales digitales tal como hace el sistema de generación de sincronismo de datos DTG5000 de Tektronix.

Este sistema modular dispone de módulos de generación de jitter DTGM31 que cuando están instalados pueden aceptar las dos señales de entrada moduladas y aplicar sus efectos a los datos del patrón serie. Las dos salidas independientes del módulo proporcionan una señal con jitter modulado en proporción a la onda sinusoidal de entrada.

Detección del BER

En el lado correspondiente a la adquisición, los errores en los bits de los SerDes se pueden detectar utilizando un analizador lógico o un comprobador de la tasa de bits (BERT: Bit Error Rate Tester). El analizador lógico dispara sobre los errores y adquiere en paralelo los datos del dispositivo SerDes, mientras que el BERT adquiere los datos del SerDes. El BERT compara su adquisición con el patrón de referencia proveniente del generador de datos.

Osciloscopio de almacenamiento digital

Un osciloscopio puede medir los valores reales de la amplitud pico-a-pico del jitter una vez que se ha determinado que ocurren errores en los bits y puede mostrar en la pantalla el diagrama de ojo. Algunos osciloscopios pueden tener como opción herramientas integradas de software para el análisis de jitter para simplificar espectacularmente estas tareas.

Un procedimiento de medida iterativo

La figura 2 proporciona una visión simplificada de un procedimiento utilizado para medir y documentar el comportamiento del jitter en un dispositivo SerDes. Aquí se muestran los valores "típicos", pero los usuarios elegirán individualmente los parámetros en base a las características del dispositivo bajo prueba. La ilustración muestra sólo la parte del jitter de los datos de la prueba, pero el proceso de jitter del reloj sigue los mismos pasos mientras se

mantiene constante el jitter de los datos. Hay algunas cuestiones que se deben considerar cuando se ejecuta este procedimiento. En primer lugar, la prueba necesita un período de tiempo de funcionamiento sin ningún error. Lo ideal sería que el tiempo elegido fuese lo suficientemente largo para obtener un valor significativo del BER, pero a menudo la medida del BER a largo plazo es deducida por extrapolación. Además, el patrón de prueba debe ser uno que estrese al dispositivo SerDes. Un ejemplo estándar en la industria es el PCI Express Compliance Pattern definido en la especificación PCI Express 1.0a.

Presentación de resultados

Los resultados se presentan mejor mediante una serie de curvas, donde cada curva representa la cantidad de jitter de los datos que los dispositivos SerDes pueden tolerar para un determinado valor del jitter del reloj. El jitter del reloj (amplitud y frecuencia) se mantiene a un valor fijo para cada curva. La frecuencia del jitter del reloj se representa en el eje "x" y el jitter de la amplitud en el eje "y".

La curva se genera incrementando la amplitud del jitter de los datos para determinar el valor más alto en el cual la parte pasa, sin producir errores en los bits dentro de un tiempo especificado. Las trazas de los gráficos que están separadas representan diferentes frecuencias y/o amplitudes del jitter de reloj. En la figura 3 se muestra un ejemplo de dos curvas trazadas de esta manera.

Conclusión

El jitter dependiente de la frecuencia es un factor importante dentro de las prestaciones de cada dispositivo SerDes. Las señales de estímulo mediante la modulación del jitter pueden ayudar a los diseñadores a caracterizar el comportamiento de los dispositivos SerDes y a evitar los problemas de diseño resultantes de la selección de componentes con prestaciones incompatibles.

Figura 3. Ejemplo de gráfico de tolerancia del jitter. El trazo rojo muestra el jitter de los datos cuando el jitter del reloj se mantiene a una amplitud de 200ps pico-a-pico a 200KHz, mientras que el trazo azul muestra el jitter de los datos que se obtienen cuando el jitter del reloj está ajustado a una amplitud de 200ps pico-a-pico a 150KHz.

