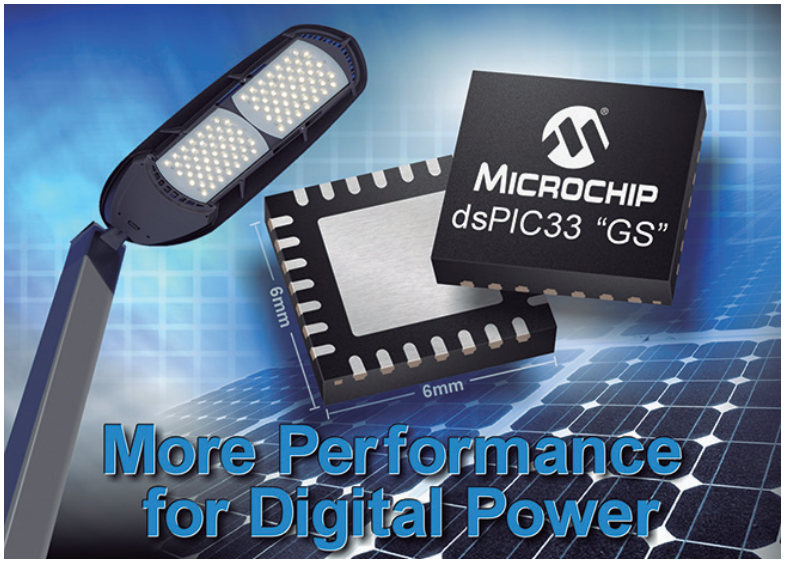
La alimentación ecológica, más allá del oro

Artículo cedido por Microchip

www.microchip.com

Autores: Andreas Reiter, Ingeniero de Aplicaciones, y Alex Dumais, Ingeniero de Aplicaciones, Microchip Technology



Cómo diseñar una fuente de alimentación CA/CC con control digital que cumpla las especificaciones platino de CSCI

Para cumplir los estándares ecológicos más recientes aplicables a las fuentes de alimentación en todos los campos de la industria, entre ellos las aplicaciones en automóvil y consumo, es necesario diseñar para obtener mayor eficiencia y fiabilidad. Un factor clave para ello es la iniciativa CSCI (Climate Savers Computing Initiative), que participa en el programa Energy Star y forma parte de un esfuerzo para alentar a los fabricantes a mejorar la eficiencia en la alimentación de un ordenador, así como de reducir la energía consumida cuando el ordenador está en espera o en reposo. CSCI califica los productos como básico, bronce, plata, oro y una nueva especificación llamada platino.

Este artículo muestra cómo crear una fuente de alimentación CA/CC de 720 W con control digital que cumpla todas las especificaciones platino de CSCI y ofrece características y funciones específicas de la aplicación. La especificación platino se aplica a fuentes de alimentación con entrada de CA monofásica dentro de un rango de potencias de 500W a 1kW, medida en la entrada CA de 230V. También define el factor de potencia como una función de la carga.

Hardware

Las topologías intercaladas resultan ventajosas cuando se necesitan elevados niveles de eficiencia, fiabilidad y densidad de energía. Al dividir cada topología en dos fases paralelas e intercalar su funcionamiento mediante una deriva de fase de 180º se reduce la corriente de rizado. Los valores más reducidos de la corriente pico a pico en topologías intercaladas permite lograr temperaturas más bajas de funcionamiento, lo cual equivale a reducir pérdidas. Dado que cada fase solo necesita cargar la mitad de la corriente total, las pérdidas en conducción en condensadores, el cobre de la placa de circuito impreso y los componentes magnéticos se dividen entre cuatro; esto ocurre porque la corriente se expresa como un valor al cuadrado en las ecuaciones de cálculo de pérdidas.

Otra ventaja de las topologías intercaladas es que su corriente nominal se divide por la mitad para cada fase, lo cual da como resultado un menor tamaño total de bobinas de choque y transformadores, así como de las pistas de la placa, los MOSFET, disipadores de calor y diodos.

En este diseño de referencia (Fig. 1), tanto la etapa de elevación de corrección del factor de potencia (PFC) como los dos convertidores directos con dos interruptores se basan en una arquitectura intercalada de dos fases. Los primeros componentes, situados en los terminales de conexión a la red, son

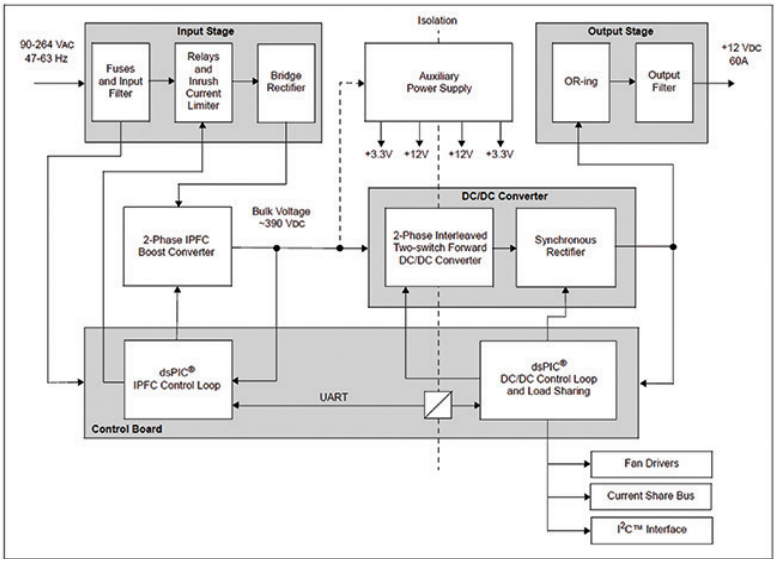


Figura 1. Diagrama de bloques de alto nivel del diseño de referencia.

una bobina de choque para filtrado y un condensador de 1 μF entre los terminales para supresión de EMI. Tras la bobina de choque se encuentran dos fusibles, uno en la línea y otro en el neutro. Un varistor de 470 V sobre los terminales de red añade protección frente a picos transitorios de tensión.

La etapa de filtrado de entrada utiliza otros dos filtros, formados por una bobina de choque en modo común, dos condensadores Y conectados a tierra y un condensador de película de polipropileno metalizado para supresión de interferencias (condensador X) conectado entre la línea y el neutro.

Se utiliza una resistencia con coeficiente de temperatura negativo (NTC) con una resistencia con alimentación nula de 10Ω a 25˚C para limitar corriente a 40A (20A típica). Esta NTC se puentea por medio de un relé en cuando se estabiliza la tensión principal y el controlador empieza a lanzar el sistema.

La tensión de entrada se conecta a un puente rectificador con una tensión nominal de 1,3kV y corriente nominal de 43A. A la salida de este puente rectificador se colocan otro varistor y un condensador de supresión de interferencias como protección frente a transitorios.

El convertidor PFC intercalado (interleaved PFC, IPFC) mostrado en la Fig. 2 utiliza dos convertidores elevadores idénticos que se han acoplado en paralelo con 180º de desfase entre sí.

La etapa IPFC está compuesta por un convertidor CA/CC que convierte la tensión de alimentación de entrada de CA en una salida de CC de alta tensión regulada. La etapa PFC también conforma la corriente del inductor de manera parecida a la tensión CA rectificada para mantener un elevado factor de potencia y una baja distorsión armónica total. Esta etapa funciona en modo de conducción continua (continuous conduction mode, CCM) para reducir el contenido de armónicos en la corriente de entrada.

La topología PFC elevadora solo necesita un MOSFET en el lado de bajo potencial (low-side) para su control. Para controlar ambas fases se seleccionó el controlador MOSFET de dos canales MCP14E4 de Microchip, con salidas CMOS tipo push-pull capaces de suministrar y consumir 3,5A a 12V.

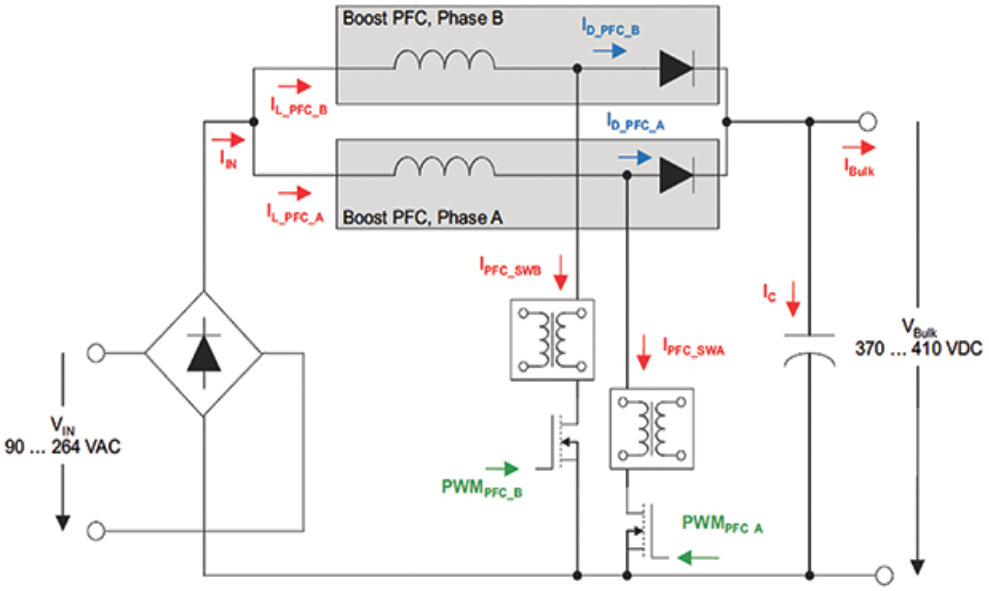


Figura 2. Etapa elevadora de corrección del factor de potencia intercalada.

Se utilizaron dos transformadores de medida de corriente con una relación de vueltas 50:1 para medir la corriente. Éstos se colocaron en el lado del drenador del MOSFET del lado de bajo potencial (low-side) y no en el lado de la fuente, para así lograr una mejor realimentación con un bajo ruido de conmutación.

La corriente de salida se convierte en una señal de tensión mediante una resistencia de carga de 15Ω. Se utilizó una red de cuatro resistencias serie-paralelo – con dos resistencias de 15Ω en serie y dos resistencias de 15Ω en paralelo – para estos transformadores de corriente, reduciendo así las tolerancias relativas de la derivación con el fin de obtener una mayor precisión. También se emplea la conexión serie para dividir la tensión entre dos mediante las entradas de comparador del controlador de señal digital (digital signal controller, DSC) dsPIC.

El MOSFET es un transistor de potencia CoolMOS C6 de 600V (IPW60R160C6) de Infineon Technologies. El diodo seleccionado para el IPFC es un rectificador Z-Rec (C3D20060D), que es un diodo Schottky de carburo de silicio de CREE. Este diodo se seleccionó por su tensión inversa, corriente directa, baja caída de tensión directa y capacidad de conmutación rápida. Las pérdidas de recuperación inversa suelen representar un porcentaje significativo de las pérdidas de potencia del convertidor elevador. Estas pérdidas se reducen utilizando diodos de carburo de silicio porque su tiempo de recuperación inversa es prácticamente nulo.

La Fig. 3 muestra la topología básica con sus rutas de corriente y las tensiones en un diseño de convertidor directo intercalado con dos interruptores.

A diferencia de la topología de convertidor de retroceso (flyback), los convertidores directos utilizan transformadores de tensión para traspasar energía a la salida durante el tiempo de conducción del MOSFET.

En un convertidor directo de dos interruptores se utilizan los MOSFET del lado de alto y bajo potencial para aplicar tensión sobre el devanado primario; ambos conmutan simultáneamente para pasar a conducción y corte. En cuanto se aplica la tensión al devanado primario, todos los devanados van a positivo. Cuando el MOSFET Q3 conmute a conducción, se generará corriente en el devanado secundario.

Dado que aún podría estar circulando corriente por L1 y C1, la carga y la ruta de retorno a través de D3, se generará una corriente hasta que su valor alcance y supere

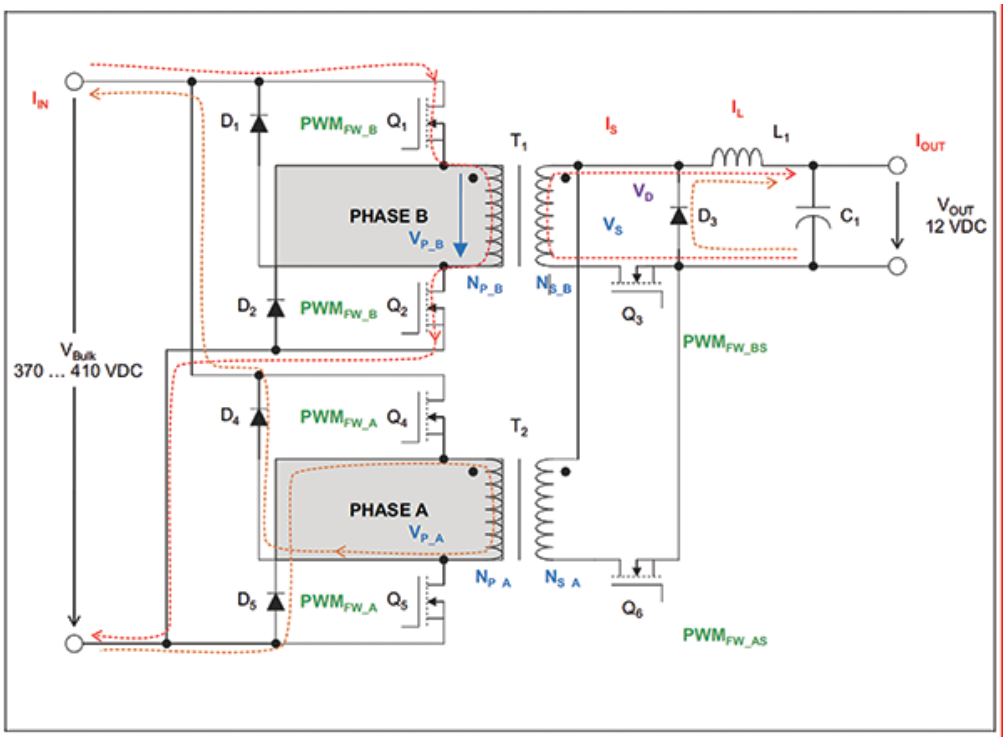


Figura 3. Convertidor directo intercalado con dos interruptores.

la corriente que atraviesa D3. En ese momento se detendrá la corriente directa que atraviesa D3 y se aplicará la tensión VS que atraviesa el devanado secundario al inicio de L1. Cuando esto suceda, la bobina de choque L1 y el condensador de salida C1 se cargarán y se suministrará energía a la salida.

Cuando los MOSFET Q1 y Q2 estén en corte se invertirá la tensión en todos los devanados. El efecto de retroceso durante este proceso daría como resultado unos elevados niveles de tensión en el devanado primario del transformador. Estos picos se fijan mediante los diodos paralelos D1 y D2. Estos diodos suministran la energía almacenada en el campo magnético a las líneas de alimentación. Como el proceso de carga y descarga tarda aproximadamente el mismo tiempo, el ciclo de trabajo no debe ser superior al 50% ya que esto daría lugar a una saturación en escalera del núcleo del transformador.

Cuando se invierte la tensión en el lado secundario, el MOSFET Q3 pasa a corte y la bobina de choque L1 continúa controlando la corriente hacia C1 y la carga, provocando así que D3 esté polarizado directamente.

En una arquitectura intercalada, las fases A y B se conmutan con una variación de fase de 180º. Como el ciclo de trabajo máximo se limita al 50%, el tiempo total durante el cual la corriente de salida se controla a través de L1, C1 y D3 pasa a ser muy pequeña.

Aunque también se podría diseñar un circuito de control de puerta utilizando un control directo para el lado de bajo potencial y otro transformador de control de puerta para el lado de alto potencial, esto puede generar variaciones de tiempo entre ambos interruptores, provocando una menor eficiencia y un mayor esfuerzo de los componentes. Por tanto, resulta sencillo utilizar un transformador de control de puerta con igual número de vueltas para los devanados secundarios.

Para lograr la realimentación con un elevado ancho de banda que aumente las prestaciones se utilizó una resistencia de derivación en el lado de alto potencial para la realimentación de la corriente de salida. Esta resistencia se colocó entre los condensadores de salida y el filtro de salida para detectar saltos de carga lo antes posible. Para reducir las pérdidas provocadas por la resistencia de esta resistencia de derivación se emplearon dos resistencias de 500 $\mu\Omega$ en paralelo. La realimentación se obtiene mediante la supervisión de la corriente en el lado de alto potencial utilizando el amplificador operacional MCP6H02 de Microchip.

Los convertidores directos se diseñan normalmente con un diodo rectificador y un diodo de circulación libre. Sin embargo, en este diseño de referencia el diodo rectificador se ha sustituido por un MOSFET para aumentar la eficiencia y compensar los retardos de señal que causa la inductancia de fuga en devanado del transformador secundario.

Mejora de prestaciones

Para aumentar la eficiencia, el período de conmutación de la etapa PFC se modifica cuando el sistema funciona en estado estacionario para reducir las pérdidas en conmutación. La frecuencia de conmutación se ajusta dinámicamente en función del estado de la carga de corriente. Los diferentes valores posibles durante el período de conmutación del PFC se almacenan en una tabla de búsqueda. Los valores de la tabla de búsqueda se seleccionan en función de la referencia de corriente calculada para el bucle de control de corriente.

Se ha implementado un algoritmo de fluctuación de frecuencia por software para mejorar las prestaciones de las pruebas de EMI. El algoritmo de fluctuación lo logra distribuyendo el ruido de EMI generado por el sistema en un rango de frecuencias por modulación triangular de la frecuencia de conmutación. La tensión de salida de la etapa PFC se disminuye en estado estacionario para mejorar la eficiencia con cargas pequeñas. Esto se controla directamente desde el lado secundario mediante transmitiendo de información sobre la corriente de carga de nuevo al lado primario.

Conclusión

La alimentación ecológica es uno de los temas más vigentes en el desarrollo de fuentes de alimentación. A lo largo de este artículo se ha descrito la implementación de un diseño de referencia CA/CC platino de CSCI utilizando un controlador de señal digital dsPIC. Ω