

# FPGAs - Métodos disponibles de depuración y análisis



Artículo cedido por AFC Ingenieros SA y basado en información de Tektronix. Juan Ojeda, AFC Ingenieros S.A. (jojeda@afc-ingenieros...)



En AFC Ingenieros S.A. podemos asesorarle sobre la solución más adecuada basada en los numerosos modelos de osciloscopios de señales mixtas MSO y los analizadores lógicos TLA5000B y TLA7000 con capacidad de resoluciones temporales de hasta 20 picosegundos (50Gs/s) simultáneamen-

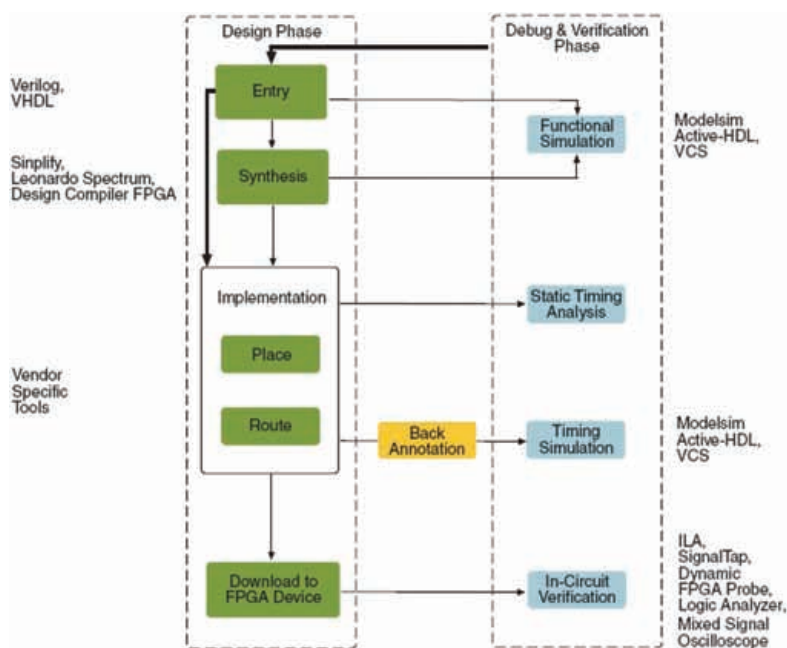
*El crecimiento en tamaño y complejidad de los diseños continúa haciendo que el proceso de su verificación sea el cuello de botella más crítico en los sistemas basados en FPGAs. El acceso limitado a las señales internas, los encapsulados avanzados de las FPGA y el ruido eléctrico en la placa de circuito impreso son factores que contribuyen a que la depuración y la verificación del diseño sea el proceso más difícil del ciclo de diseño, hasta el punto de que se puede pasar fácilmente la mayor parte del tiempo del ciclo de diseño depurando y verificando el funcionamiento de la FPGA. Como ayuda para el proceso de depuración y verificación del diseño, se requieren nuevas herramientas que faciliten la depuración del diseño al mismo tiempo que la FPGA funciona a toda su velocidad. Este artículo técnico se centra en los consejos y técnicas que pueden ayudar a ser más eficaz en la depuración de los sistemas basados en FPGAs.*

## Depuración de una FPGA a su velocidad final de funcionamiento

Las soluciones basadas en osciloscopios de señales mixtas (MSOs) y analizadores lógicos (TLA5000B y TLA7000) junto con el software FPGAViewTM permiten cambiar instantáneamente los puntos de prueba dentro de las FPGAs de Altera y Xilinx sin necesidad de recompilar

su diseño. Además, la capacidad de correlacionar la actividad de las señales internas de la FPGA con otras señales de la placa puede marcar la diferencia entre cumplir con las fechas previstas para el lanzamiento del producto final al mercado o no.

de simulación. El buen uso de la simulación ha demostrado ser una forma eficaz de encontrar y corregir muchos errores en el diseño. Sin embargo, no se debería confiar en la simulación como la única herramienta para depurar un diseño de FPGA. Hay demasiadas cosas



## Descripción del proceso de diseño de una FPGA

Hay dos fases distintas antes del lanzamiento de un sistema basado en FPGA al mercado: la fase de diseño y la fase de depuración y verificación (Ver la figura 1). Las principales tareas en la fase de diseño son la entrada, la simulación y la implementación. Las principales tareas en la fase de depuración y verificación están dedicadas a validar el diseño y a corregir cualquier error que se encuentre.

### La fase de diseño

En esta fase no sólo se trata de implementar el esquema inicial del diseño, sino que la depuración se inicia también con el uso de herramientas

que la simulación no puede desvelar por sí sola. En la fase de diseño se tiene también que mirar hacia las siguientes fases de depuración y verificación y planificar cómo se va a depurar la FPGA dentro del circuito y a la velocidad de su funcionamiento final. Esto debería conducir a definir el método general de depuración, ayudar a identificar los instrumentos de prueba y medida necesarios y a identificar cualquier impacto que el método elegido de depuración tenga sobre el diseño de la placa.

### Fase de verificación y depuración

Durante la fase de depuración, se necesita encontrar los problemas más difíciles que no fueron detectados en la simulación. Hacer que esto se realice en un breve espacio de tiempo

constituye el desafío. En este artículo técnico, vamos a ver cómo se debe seleccionar el método correcto de depuración de FPGAs, como planificar la depuración durante la fase de diseño y cómo aprovechar el potencial de los nuevos métodos que permiten ver muchas señales internas de la FPGA usando tan solo unos pocos pines de la misma. Haciendo esto correctamente se podrán superar los problemas más difíciles de depuración de la FPGA.

## Métodos de depuración de FPGAs

La elección más importante que debe hacerse en la fase de diseño es cual será el método de depuración de la FPGA a utilizar. Idealmente, es deseable un método que pueda ser utilizado en todos los diseños de FPGAs, que proporcione información sobre el funcionamiento de la FPGA y del sistema y que permita determinar y analizar los problemas más difíciles. Hay dos métodos básicos de depuración para las FPGAs instaladas en el circuito final: el uso de un analizador lógico embebido y el uso de un equipo de prueba externo, como un osciloscopio de señales mixtas o un analizador lógico. La elección del método a utilizar depende de las necesidades de depuración del proyecto.

## Núcleo de analizador lógico embebido

Los principales proveedores de FPGAs ofrecen núcleos de analizador lógico embebidos. Como ejemplos pueden servir SignalTap® II y ChipScope™ ILA de Xilinx. Estos bloques patentados se insertan en el diseño de la FPGA y proporcionan capacidad de disparo y almacenamiento. Los recursos lógicos de la FPGA se utilizan para implementar el circuito de disparo y los bloques de memoria de la FPGA son utilizados para implementar la capacidad de almacenamiento. Un JTAG se utiliza para configurar el funcionamiento del núcleo de prueba y pasar los datos capturados a una PC para su visualización.

Debido a que el analizador lógico embebido utiliza recursos in-

ternos de la FPGA, dicho analizador lógico se utiliza la mayoría de las veces solo con las FPGAs de mayor tamaño que disponen de más capacidad y recursos. Normalmente, es deseable que dicho núcleo no utilice más del 5% de los recursos lógicos disponibles en la FPGA.

Como con cualquier método de depuración, existen algunos compromisos que se debe tener en cuenta:

### *Relación entre pines y recursos internos*

Los núcleos de los analizadores lógicos no utilizan pines adicionales, ya que se accede a ellos a través de los pines del JTAG. Esto significa que se puede utilizar este método incluso si el diseño tiene limitación en el número de pines. El compromiso en este caso es que se utilizan recursos internos de la lógica de la FPGA y bloques de memoria que podrían utilizarse para la implementación del diseño. Además, puesto que la memoria interna se utiliza para capturar los datos, dicha memoria debe tener un tamaño reducido.

### *Relación entre la utilización de sondas y el modo de funcionamiento*

La utilización de las sondas de un núcleo de analizador lógico embebido es simple; ya que, al utilizar los pines del JTAG, no hay que preocuparse de cómo conectar un analizador de lógico externo al sistema. El compromiso en este caso es que aunque el analizador lógico embebido proporciona visibilidad del funcionamiento de la FPGA, no dispone de una manera de correlacionar esa información con la del resto del circuito o del sistema. La correlación de las señales en el interior de la FPGA con las del exterior de la FPGA es a menudo crucial para la solución de los retos de depuración más difíciles.

### *Relación entre el costo y la flexibilidad*

La mayoría de los vendedores de FPGAs ofrecen los núcleos analizador lógico embebido a un coste menor que el de un analizador lógico externo completo. Sin embargo, como es de esperar, los

núcleos de analizador lógico embebido ofrecen menos funcionalidad que un analizador lógico completo, funcionalidad que a menudo es necesaria para la captura y el análisis de datos cuando aparecen retos de depuración difíciles. Por ejemplo, los analizadores lógicos embebidos sólo pueden funcionar en modo de "estados", capturando los datos en sincronismo con un reloj que está presente en el diseño de la FPGA y por lo tanto, no pueden proporcionar relaciones temporales precisas entre las distintas señales.

## Equipo de prueba externo

Debido a algunas de las limitaciones del método del analizador lógico embebido, muchos diseñadores de FPGAs han adoptado un método que utiliza la flexibilidad de las FPGAs y la potencia de un osciloscopio de señales mixtas MSO o como los analizadores lógicos de las series TLA5000B y TLA7000.

Con este método, las señales internas de interés se dirigen a los pines no utilizados de las FPGAs y luego se conectan a los equipos de prueba externos. Este método aprovecha la memoria de adquisición muy profunda del equipo de prueba externo, lo cual es útil cuando se depuran problemas donde el síntoma y la causa están separados por una gran cantidad de tiempo. También ofrece la posibilidad de correlacionar las señales del interior de la FPGA con otras señales del sistema.

Al igual que con el método del analizador lógico embebido, hay ventajas y desventajas a considerar:

### *Relación entre pines y recursos internos*

El método basado en un equipo de prueba externo utiliza muy pocos recursos lógicos (si lo hace) y no hace uso de la memoria de la FPGA. Esto libera recursos para implementar más funcionalidad en la FPGA. El compromiso es que ahora es necesario dedicar algún número de pines de la FPGA para los propósitos de depuración. Obviamente, estos pines podrían haber sido utilizados por el diseño.

**Relación entre la utilización de sondas y el modo de funcionamiento**

Las conexiones de las sondas al equipo de prueba externo son un poco más dificultosas que en el caso del método basado en el analizador lógico embebido. En lugar de poder reutilizar el conector JTAG que ya está en la placa, es necesario determinar la forma de acceder a la señal deseada de la FPGA con las sondas del osciloscopio MSO o con las del analizador lógico. La técnica más sencilla consiste en añadir un conector de depuración en la placa del circuito. Esto permite también la fácil correlación de las señales de la FPGA con las otras señales del sistema.

**Relación entre el costo y la flexibilidad**

Si bien es cierto que el equipo de prueba externo puede tener un mayor coste inicial que un analizador lógico embebido, también permite resolver una gama más amplia de problemas. El osciloscopio MSO o el analizador lógico no son sólo útiles para depurar una FPGA, se pueden utilizar para resolver otros desafíos en el diseño de dispositivos digitales y de señales mixtas. También se consigue más flexibilidad en los modos de adquisición y más capacidad de disparo. Con un MSO externo se dispone de la capacidad disparar y capturar una amplia variedad de señales analógicas, digitales y de tipo serie con muy alta resolución temporal. Con un analizador de lógico externo se puede disponer de un disparo basado en estados de hasta 16 niveles y se puede capturar una gran cantidad de datos en el modo de adquisición de "tiempos" con muy alta resolución temporal.

**Selección del método adecuado de depuración de FPGAs**

Ambos métodos pueden ser útiles dependiendo de la situación. El reto es determinar cuál es el método adecuado para el diseño. Para ello, hay que hacerse las siguientes preguntas:

**¿Cuáles son los problemas previstos?**

Si se piensa que los problemas se van a limitar al funcionamiento interno de la FPGA, el uso de un analizador lógico embebido puede ser toda la capacidad de depuración que se requiere. Sin embargo, si se prevén grandes problemas de depuración que requieren la verificación de los márgenes temporales, la correlación entre la actividad interna de la FPGA y la externa del resto del circuito de la placa o si se requiere una capacidad de disparo más potente, el uso de un equipo de prueba externo se adapta más a las necesidades de la depuración.

**¿Se va a necesitar información que implique resolución temporal además de la información sobre los datos de estado?**

Un osciloscopio MSO externo o un analizador lógico permiten ver con detalle las relaciones temporales de las señales de la FPGA con una resolución muy inferior al nanosegundo. Esto ayuda a verificar que los eventos están sucediendo realmente como fueron diseñados y permite verificar los márgenes temporales del diseño. Un analizador lógico embebido sólo puede capturar los datos en sincronismo con el reloj de la FPGA (estados).

**¿Qué profundidad de memoria se necesita para una captura de datos?**

La mayor profundidad de memoria se puede conseguir con osciloscopio MSO o con un analizador lógico externo. Por ejemplo, en el caso de SignalTap II, la profundidad máxima de memoria está fijada en 128 Kb por la propia limitación del dispositivo. Sin embargo, con un osciloscopio MSO externo se pueden capturar hasta 10Mmuestras y con un analizador lógico se pueden llegar a capturar hasta 256Mmuestras. Esto puede ayudar más a ver donde está el problema y sus posibles causas, acortando el tiempo de depuración.

**¿Hay limitación de pines o de recursos en el diseño?**

El uso de un analizador lógico embebido no requiere de pines adicionales de salida, pero se deben utilizar los recursos internos de la FPGA para implementar las funciones del analizador lógico interno. La utilización de un equipo de prueba externo requiere el uso de pines de salida, pero reduce (o elimina) la necesidad de utilizar los recursos internos FPGA. En la tabla 1 se resumen los puntos fuertes de cada método.

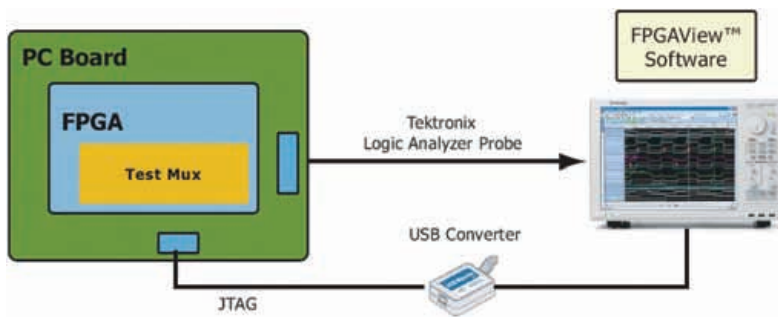
**FPGAView™: La solución más completa**

Vistazo general al software FPGA-View. Con el método que se utiliza un equipo de prueba externo se hace un uso efectivo de la "P" de las FPGAs permitiendo reprogramar el dispositivo de la forma que se necesite para enrutar las señales internas de interés de la FPGA a un pequeño número de sus pines. Este es un método muy útil pero tiene limitaciones:

- Cada vez que se necesita ver un conjunto diferente de señales internas, es necesario cambiar el diseño (ya sea a nivel de RTL o utilizando una herramienta de edición de la FPGA) para dirigir el conjunto de señales a los pines de depuración. Esto no solo consume tiempo, sino que requiere también una re-compilación del diseño, la cual puede cambiar las relaciones temporales entre las señales y potencialmente ocultar el problema que teníamos que resolver.

Feature	Embedded Logic Analyzer	External Mixed Signal Oscilloscope	External Logic Analyzer
Sample Depth			√√
Debugging Timing Issues		√	√
Correlation		√	√
Performance		√	√
Triggering Capability		√	√√
Output Pin Usage	√		
Acquisition Speed	√	√	√

Tabla 1. Proceso de selección del método correcto de depuración de FPGAs de acuerdo a las necesidades.



• Normalmente hay un pequeño número de pines de depuración y la relación 1:1 entre las señales internas y los pines de depuración limitan la visibilidad y la visión interna del diseño. Para superar estas limitaciones, se ha creado un método de depuración de FPGAs que ofrece todas las ventajas del método que utiliza un equipo de prueba externo, al mismo tiempo que se eliminan sus principales limitaciones. El software FPGAVIEW de FS2 (First Silicon Solution) que se puede utilizar con los osciloscopios de señales mixtas MSO o con los analizadores lógicos TLA5000B y TLA7000 de Tektronix proporciona una solución completa para depurar las FPGAs de Altera y Xilinx y el resto del hardware del circuito (ver la figura 2). Esta combinación permite:

- Ver la actividad interna de la FPGA y la externa simultáneamente.
- Cambiar rápidamente los puntos de prueba a observar en el interior la FPGA sin tener que recompilar su diseño.
- Monitorizar múltiples señales internas FPGA utilizando un pequeño conjunto de pines.

Además, FPGAVIEW puede manejar múltiples núcleos de prueba en un solo dispositivo (útil para monitorizar dominios con relojes diferentes) y múltiples dispositivos FPGA en una cadena de JTAG.

### Uso de FPGAVIEW

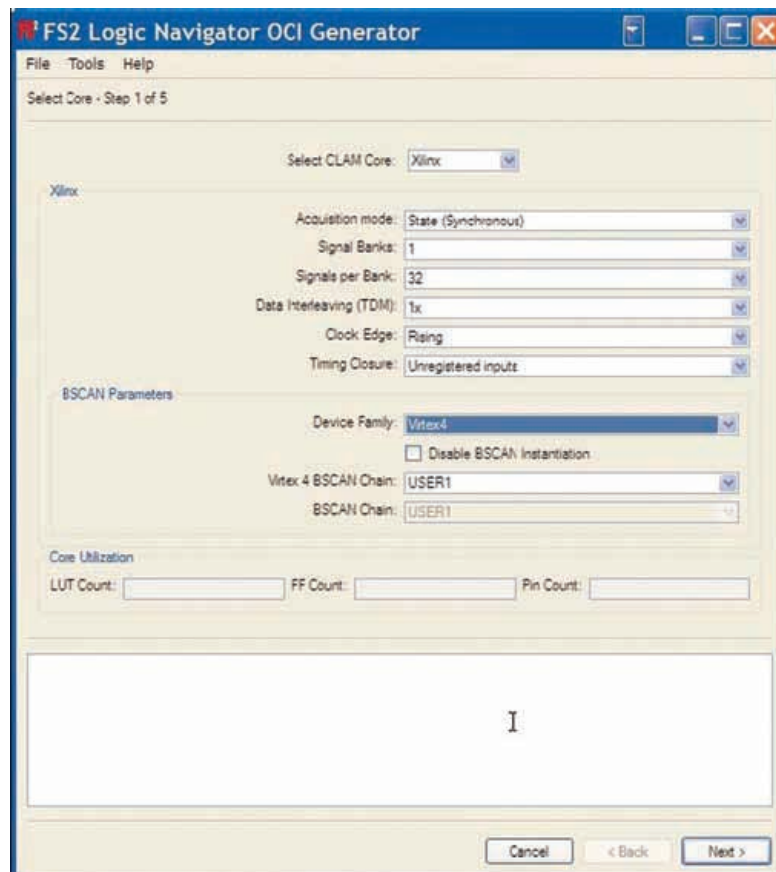
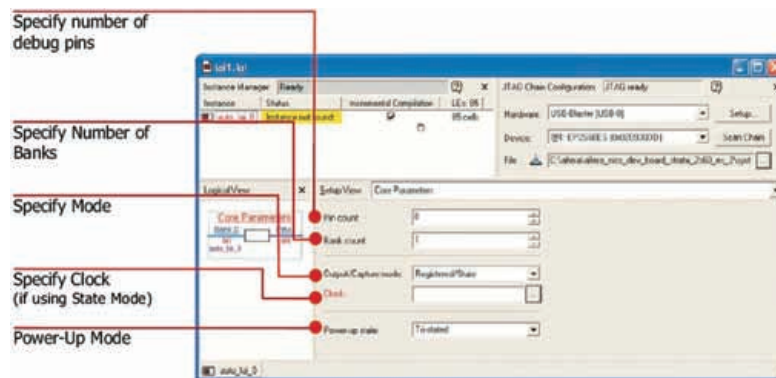
La secuencia de utilización de FPGAVIEW se compone de estos sencillos pasos:

- Paso 1. Configurar e insertar el núcleo de prueba apropiado en el diseño de la FPGA.
- Paso 2. Configurar FPGAVIEW para que se adapte al entorno de depuración.
- Paso 3. Realizar el mapeado de los pines de la FPGA para su conexión a los canales del osciloscopio de canales mixtos MSO o a los del analizador

lógico TLA5000B/TLA7000.

- Paso 4. Realizar las medidas.

Cada uno de estos pasos se describe con más detalle en las siguientes secciones.



### Paso 1. Inserción del núcleo:

El primer paso consiste en configurar el núcleo de prueba e insertarlo en el diseño. Por ejemplo, si se utilizan dispositivos de Altera, se utiliza el editor de interfaz del analizador lógico de Altera para crear el núcleo de prueba que mejor se adapte a las necesidades (ver la figura 3a). En el caso de las FPGAs de Xilinx se utiliza OCIGEN (On-Chip Instrumentation Generator) de FS2 para especificar e insertar el núcleo de prueba en esos dispositivos (ver la figura 3b).

En la mayoría de los núcleos de prueba se pueden especificar los siguientes parámetros:

Figura 2. Implementación típica de FPGAVIEW

Figura 3a. Ejemplo del editor de interfaz con el analizador lógico de una FPGA de Altera usado para definir e insertar el núcleo de prueba.

Figura 3b. En el caso de las FPGAs de Xilinx se utiliza OCIGEN (On-Chip Instrumentation Generator) de FS2 para especificar e insertar el núcleo de prueba en esos dispositivos

Figura 4. Configuración de la conexión de la cable de programación JTAG.

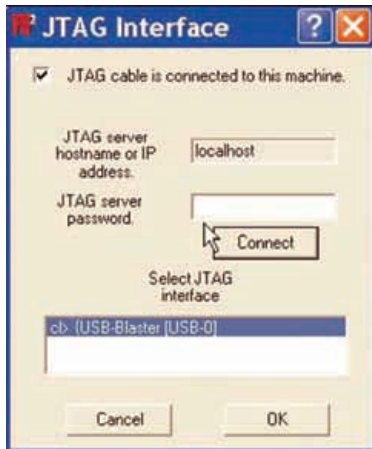


Figura 5a. Configuración de la conexión al analizador lógico TLA.



Figura 5b. Configuración de la conexión al osciloscopio de canales mixtos MSO.

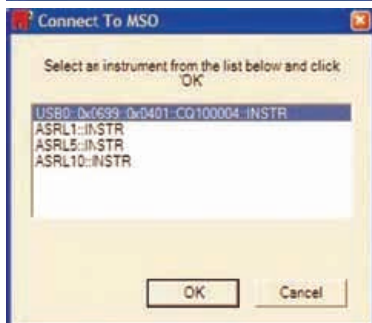


Figura 6. FPGAVIEW ayuda a asignar/mapear los pines rápida y fácilmente.

**Paso 2. Configuración de FPGAVIEW para que se adapte al entorno de depuración.**

En la ventana del software FPGAVIEW se establece la conexión con el cable de programación JTAG (Ver la figura 4), así como la conexión al equipo de prueba externo. Las figuras 5a y 5b muestran la conexión a un analizador lógico de la serie TLA, a un osciloscopio MSO4000 serie o a la estación de trabajo basada en un PC. Estas configuraciones proporcionan la flexibilidad necesaria para satisfacer los problemas de depuración.

**Paso 3. Asignación de los pines de la FPGA a los canales del osciloscopio de canales mixtos o a los del analizador**

**lógico.**

El siguiente paso consiste en asignar una conexión física entre los pines de la FPGA y los canales del osciloscopio MSO o del analizador lógico TLA5000B/TLA7000. Esto permitirá al software FPGAVIEW actualizar automáticamente los nombres de las señales que aparecen en el MSO o en analizador lógico y emparejarlas con las señales en el diseño de la FPGA que están realmente siendo monitorizadas por el núcleo de prueba.

Para ello, hay que hacer un simple clic con el ratón en el botón "Probes" para mostrar una ventana en la que funciona la característica de "arrastrar y soltar" y que permite conectar los nombres de las señales

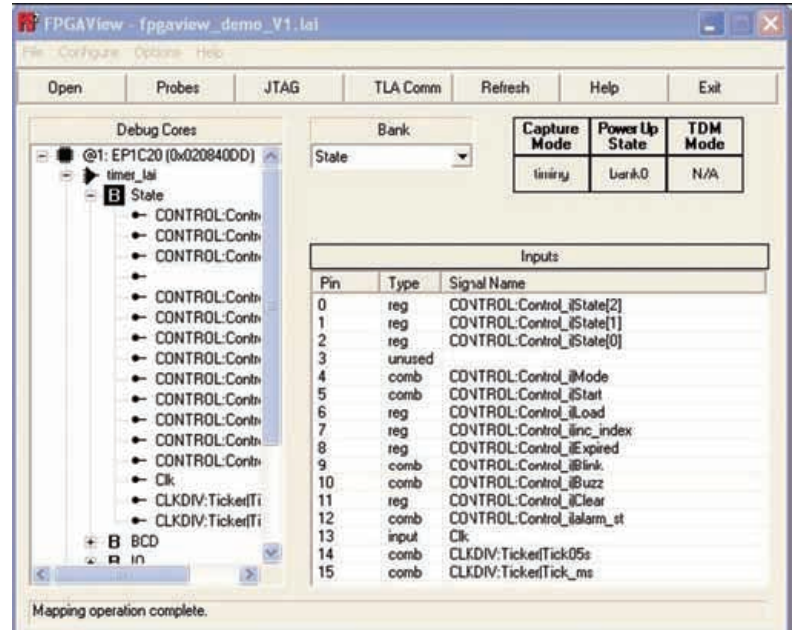
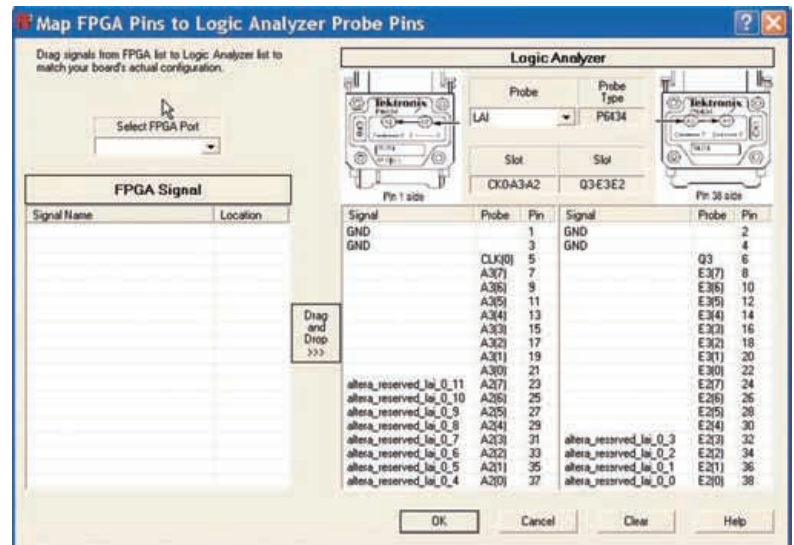


Figura 7. Selección del banco de las señales que se van a medir.

- Número de pines: Son los pines que se desean conectar a los canales del equipo de prueba externo.
- Número de bancos: Agrupaciones de las señales internas que se desean asignar a los pines de salida.
- Modo de Salida/Captura: Sirve para seleccionar el tipo de adquisición que desea realizar. Se puede elegir entre combinación/tiempos o registro/estados.
- Reloj: Si se ha seleccionado el modo de captura de registro/estados, esto permite seleccionar el reloj de muestreo del núcleo de prueba.

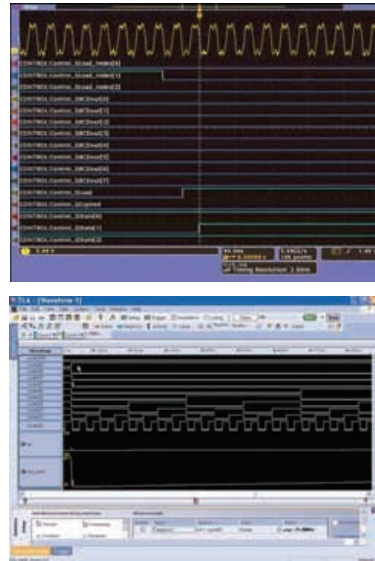
Después de seleccionar los parámetros adecuados para las necesidades de depuración es necesario seleccionar los pines que serán utilizados por el núcleo de prueba como salidas. También se tendrán que seleccionar las señales internas de la FPGA que se van a probar y como se van a agrupar en los bancos de agrupación de señales.

de salida del núcleo de prueba con los canales correctos en el analizador lógico (ver la figura 6). Este proceso de asignación es necesario realizarlo sólo una vez para cada esquema de conexión.

#### Paso 4. Realización de las medidas

La lista desplegable de bancos permite seleccionar el banco (agrupación de señales) que se desea medir. Una vez que se selecciona dicho banco, FPGAView se comunica con la FPGA a través de la interfaz JTAG y configura el núcleo de prueba para que ese banco quede seleccionado. El software FPGAView programa también el osciloscopio de señales mixtas MSO o el analizador lógico TLA con esos nombres para los canales asignados, lo que facilita la interpretación de los resultados de las medidas. Para medir un conjunto diferente de señales internas, solo hay que elegir otro banco de señales (ver la figura 7). La correlación de las señales internas de la FPGA

con otras señales del sistema se hace automáticamente gracias a los osciloscopios de señales mixtas MSO (ver la figura 8) o a los analizadores lógicos de las series TLA5000B y TLA7000 (ver la figura 8b).



## Resumen

Al examinar cuidadosamente las necesidades de depuración durante la fase de diseño, se podrá seleccionar el método de depuración que permita simplificar dicho proceso y ayudar a ahorrar tiempo. Los métodos basados en el analizador lógico embebido y en el equipo de prueba externo tienen sus propios puntos fuertes y débiles, pero con un método nuevo, como es el caso del software FPGAView, se consigue que el método basado en un equipo de prueba externo sea aún más atractivo. La capacidad de cambiar instantáneamente los puntos de prueba sin necesidad de recompilar el diseño de la FPGA y la capacidad de correlacionar las señales internas de la FPGA con otras señales del circuito pueden marcar la diferencia entre cumplir con la fecha prevista de lanzamiento del producto final al mercado o no.

Figura 8a. Con un osciloscopio de señales mixtas MSO y el software FPGAView se simplifica mucho la depuración de los sistemas basados en FPGAs.

Figura 8b. Un analizador lógico de la serie TLA5000B/TLA7000 automatiza y simplifica muchas medidas.