

Prueba de PCI Express 2.0

por Rick Eads



La tecnología PCI Express se ha convertido en la solución de interconexión predilecta en muchas aplicaciones de alto rendimiento para servidores, dispositivos de almacenamiento, componentes periféricos, gráficos e inspección por imágenes. El estándar PCI Express ha sido desarrollado por el PCI-SIG® (PCI Special Interest Group) y es utilizado en muchos sectores industriales, como los de venta de sistemas informáticos, aeroespaciales, de sistemas de comunicación alámbrica e inalámbrica, los de fabricación de sistemas integrados, de sistemas informáticos y de conmutadores y los de venta de HBA (adaptadores de bus de host). Los dispositivos PCIe pueden presentarse bajo distintas formas, por ejemplo, como un circuito integrado conectado a una placa base o una tarjeta de expansión montada en un conector. Los dispositivos PCIe existentes llevan incorporadas tarjetas de red, controladores de disco, chipsets, ordenadores personales, conmutadores y tarjetas adicionales como tarjetas de vídeo y tarjetas gráficas.

La tecnología de interfaz en serie de PCI Express aborda las carencias y sustituye a su predecesor PCI paralelo y a los buses PCI-X.

Evolución de PCI Express

El PCI-SIG fue creado en 1992. Es la organización que ha desarrollado y que administra las especificaciones del bus de entrada y salida del PCI y del PCI Express. El SIG, que cuenta en la actualidad con más de 900 empresas líderes, se encarga de dar soporte a los nuevos requisitos de prueba, dar mantenimiento a un programa de compatibilidad con las versiones anteriores, contribuir a la durabilidad técnica de las tecnologías de I/O y adaptarlas a las exigencias del mercado.

El PCI Express v 2.0 fue lanzado en 2007. El nuevo estándar doblaba la velocidad de transmisión de datos pasando de 2,5 GT/s a 5 GT/s, lo que significa que un conector x16 ahora puede transferir datos a una velocidad de hasta 80 GT/s en cada dirección. El mayor ancho de banda permite a los desarrolladores y diseñadores implantar interconexiones más estrechas, aumentar la productividad y bajar los costes.

Además, PCIe 2.0 es compatible con las versiones anteriores PCIe 1.1 y 1.0a, lo que permite a los

dispositivos y placas base diseñados para la generación 2.0 funcionar con los estándares anteriores. El estándar ha mejorado el protocolo de transferencia de datos punto a punto y su arquitectura de software, y ahora es más tolerante en materia de jitter y de comprobación de sondas.

La especificación PCIe atiende las exigencias técnicas y de las empresas y orienta a los desarrolladores y diseñadores de productos hacia el cumplimiento de este estándar para garantizar la interoperabilidad entre dos dispositivos PCIe. Entre las necesidades del sector podemos citar la bajada de los costes de desarrollo, el acortamiento del tiempo de comercialización, la protección de las inversiones a medida que aumentan el ancho de enlace y la velocidad de

transmisión de datos, además de la garantía de conformidad de los productos. En cuanto a las exigencias técnicas, la tecnología PCIe permite mantener un enlace en caso de error de transmisión gracias a un protocolo fiable o de entrega garantizada (por ejemplo, si se detecta un error en la transmisión, el protocolo hará que se envíe de nuevo el paquete), de modo que los ingenieros puedan efectuar con mayor rapidez la validación de las prestaciones del dispositivo y cumplir los requisitos de conformidad con la especificación.

Comprobación de PCI Express 2.0

La comprobación de PCIe 2.0 se suele iniciar en la capa física hasta el enlace de datos y termina en la capa de transacción. Las medidas realizadas en la capa física garantizan el cumplimiento de parámetros básicos, como la oscilación de frecuencia y la variación de tensión para que dos dispositivos PCIe puedan comunicarse entre ellos. Otras medidas complejas como el análisis de jitter o la tolerancia de jitter permiten a los dispositivos transferir bits y bytes de manera fiable en un extenso período de tiempo.

En la segunda fase de la comprobación lo que se hace es asegurarse de que los paquetes de datos sean transferidos correctamente a través

| | Capa de transacción | Ejemplos | Herramientas | |
|--------|---|---|---|--------------|
| Tareas | Garantiza comunicación correcta entre dos dispositivos | Control de flujo Transacciones Mensajes Cumplimiento de solicitudes | Dispositivo bajo prueba Sondas Analizador de protocolos Protocolo a lógica (P2L) Pasarela Ejecutor de protocolos/LTSSM Inyector de errores | Herramientas |
| | Garantiza la transferencia correcta de los paquetes de datos por el bus | Generación de tráfico Pruebas de búfer de respuesta Inserción de errores Generación de errores CRC | Dispositivos bajo prueba, sondas Analizador de protocolos Protocolo a lógica (P2L) Pasarela Ejecutor de protocolos/LTSSM Osciloscopios en tiempo real, DCA-J Inyector de errores | |
| | Garantiza la señal correcta en el bus | Apertura de ojo Análisis de jitter Tolerancia de jitter Diatonía | ParBERT, J-BERT Ejecutor de protocolos/LTSSM Sondas Generadores de patrones/pulsos Osciloscopios en tiempo real, DCA-J | |

Fig. 1. Tareas de comprobación de PCI Express 2.0 y ejemplos

del bus y que sea posible recuperar cualquier dato corrupto, como generación de tráfico e inserción de errores. La última fase se centra en la capa de transacción donde dos dispositivos intercambian paquetes de comunicación para responder a las necesidades de la aplicación. La prueba de la capa de transacción comprende el rendimiento, que garantiza que el bus alcanza el ancho de banda máximo y la latencia mínima, y el comportamiento funcional, que garantiza que la capa de transacción puede manejar correctamente cualquier error que pueda producirse.

La Figura 1 ilustra las tres capas con ejemplos de los parámetros que se deben probar y las herramientas que suelen utilizarse.

Agilent Technologies ofrece una gama completa de herramientas de prueba para dar soporte a la comprobación de diseños PCI Express 2.0. El PCI-SIG ha seleccionado a esta empresa como vendedor oficial de herramientas de prueba para efectuar ensayos de referencia tanto en la capa física como en la de protocolo. Esto significa que los equipos de Agilent son utilizados en los talleres de conformidad del PCI-SIG para comprobar que las empresas miembros cumplen la especificación PCIe.

Para comprobar que las empresas cumplen íntegramente la especificación PCIe 2.0 es necesario utilizar una serie de equipos de prueba que incluye osciloscopios, dispositivos de prueba de la tasa de error de bit (BERT), generadores de patrones/ruido, analizadores y ejercitadores de protocolo, inyectores de error y tarjetas de prueba de cumplimiento de protocolos. Estos productos pueden ser utilizados solos o combinados para realizar comprobaciones en cada una de las capas de implantación. Los ejercitadores y las tarjetas de prueba de protocolos (PTC), que incluyen pruebas LTSSM (Link Training and Status State Machine), son compatibles con la generación de tráfico, la validación de capas de protocolo y las pruebas de rendimiento.

Los generadores de patrones/ruido pueden ser utilizados para someter a esfuerzo a los receptores y transceptores de prueba mediante patrones y pulsos. Para comprobar

la integridad de las señales se pueden utilizar osciloscopios en tiempo real y de muestreo. Para probar la tolerancia de jitter se pueden utilizar dispositivos BERT. Para analizar mejor lo que ocurre en las capas de enlace de datos y de transacción se pueden utilizar analizadores de protocolo.

Además de medir el rendimiento nominal de los productos PCIe 2.0, también es necesario evaluar las prestaciones en condiciones de error. Las herramientas de inyección de errores pueden ser utilizadas para probar los dispositivos en fase de desarrollo a fin de garantizar un funcionamiento aceptable en las condiciones de mayor esfuerzo que se pueden presentar en un sistema bajo tensión, tanto en la capa física como en la capa de enlace de datos y de transacción.

Prueba de tolerancia de jitter

Una de las pruebas críticas de la capa física es la tolerancia de jitter en un receptor PCIe. El estándar PCIe 2.0 ofrece una definición de tolerancia de jitter en receptores mucho más explícita. En concreto, genera un nuevo tipo de jitter para probar el receptor, que comprende jitter aleatorio con distribución espectral, jitter determinista de doble tono y reloj de espectro ensanchado residual.

En la Figura 2 se ilustra el jitter aleatorio con distribución espectral. El diagrama ilustra el nivel de jitter frente a la frecuencia. El ruido blanco, de ancho de banda ilimitado, contiene una cantidad constante de energía en todas las frecuencias. Aquí la es-

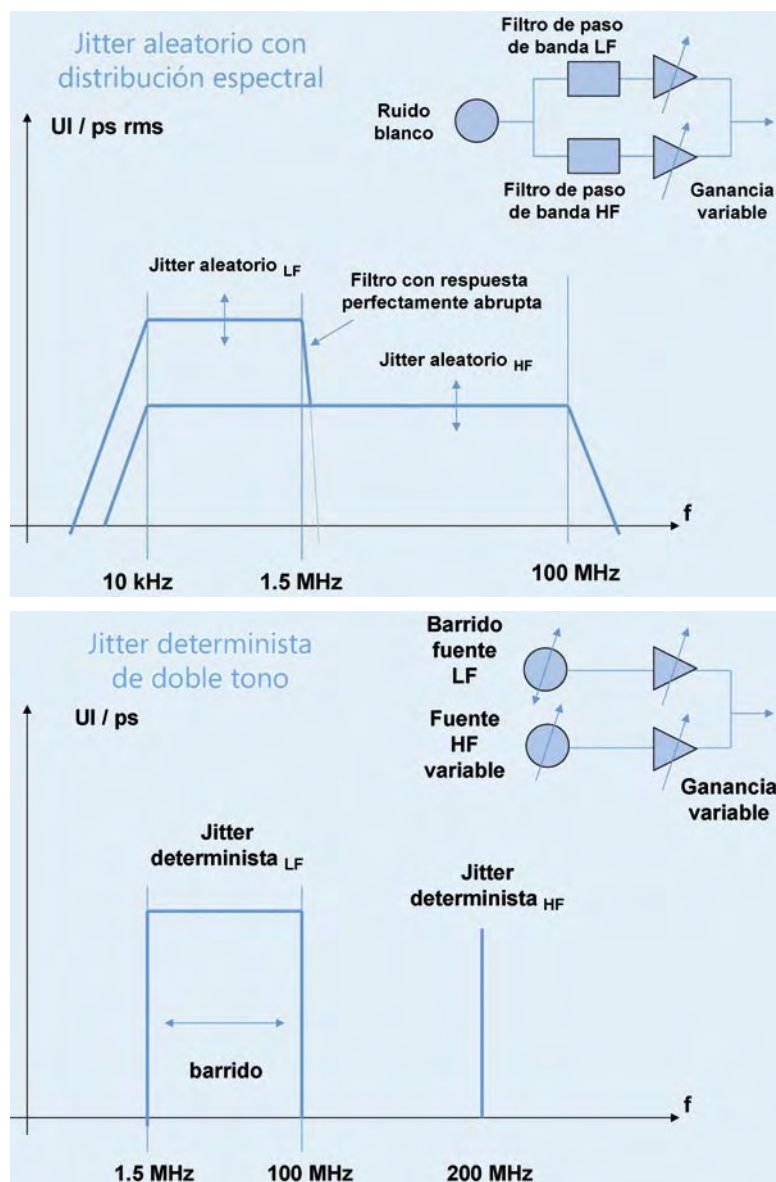


Figura 2. Jitter aleatorio con distribución espectral.

Figura 3. Jitter determinista de doble tono.

peficación propone un nivel mayor de jitter aleatorio en las frecuencias más bajas y un nivel menor en las frecuencias más altas. El nivel real depende del tipo de prueba. La frecuencia angular es a 1,5 MHz con el corte del filtro perfectamente abrupto (filtro con respuesta perfectamente abrupta).

En la Figura 3 se ilustra el concepto de jitter determinista de doble tono. Normalmente, el jitter determinista es aplicado como jitter sinusoidal a una frecuencia, aunque la frecuencia puede ser variada en el tiempo (medida de tolerancia de jitter). El método de doble tono utiliza dos señales sinusoidales al mismo tiempo, una a la frecuencia más baja y la otra a la frecuencia más alta. Como alternativa, la señal a la frecuencia más baja puede efectuar un barrido continuo entre el valor mínimo y el máximo de la banda de frecuencia. El nivel real de las dos señales depende del tipo de prueba.

En la Figura 4 se ilustra la modulación de espectro ensanchado (SSC). Dicha modulación es determinada por la desviación SSC (generalmente 500 ppm) y la frecuencia SSC (generalmente entre 30 y 33 KHz). Por lo general, la desviación tiene lugar en sentido descendente. Por tanto, para una velocidad de transmisión de datos de 5 Gb/s, la desviación de 500 ppm significa que la velocidad de transmisión de datos varía entre 5 Gb/s y 4,975 Gb/s con una frecuencia comprendida entre 30 y 33 KHz. La modulación ideal tiene forma triangular, aunque en la práctica se emplea cualquier modulación intermedia entre sinusoidal y triangular.

Los dispositivos de prueba de la tasa de error de bit, como el J-BERT en serie de alto rendimiento N4903B de Agilent, permiten caracterizar la tolerancia de jitter de entrada de los dispositivos. Éste comprueba el cumplimiento de la especificación emulando las condiciones de esfuerzo apropiadas, como jitter aleatorio, jitter periódico de doble tono, interferencia entre símbolos, interferencia sinusoidal, SSC y SSC residual conformes a la especificación PCIe 2.0. Los dispositivos necesitan ser probados en un modo denominado bucle de retorno, que puede ser estimulado con el secuenciador de patrones del J-BERT. Los ingenieros del departamento de investigación y desarrollo ahorran valioso tiempo de prueba utilizando el barrido automático de la tolerancia de jitter. Para el análisis de señales el dispositivo de prueba dispone de una función de recuperación de datos/reloj (CDR) incorporada, medidas rápidas del jitter total, barrido BERT, diagrama de ojo y pruebas de máscara para evaluar el diseño PCIe 2.0.

Prueba en condiciones de error

La prueba de los productos PCI Express se divide en varias fases de prueba, que incluyen la prueba funcional de los componentes, la de todo el sistema, la de conformidad para garantizar la interoperabilidad y la que emula el entorno del cliente.

La creación de condiciones de error en cada una de estas fases permite someter al producto PCIe a condiciones cotidianas reales. Hay

una serie de opciones disponibles para intentar crear condiciones de error conocidas. Las herramientas de simulación pueden crear numerosas condiciones de prueba, pero se limitan a un solo componente a la vez, mientras que en los sistemas fiables se requiere una prueba de todo el sistema. De forma similar, los ejercitadores PCI proporcionan un elevado control para crear distintas situaciones de prueba, pero tampoco prueban el sistema entero, incluidos el sistema operativo y los controladores.

Los malos dispositivos conocidos pueden ser utilizados para crear condiciones de error, pero tienen aplicabilidad limitada y son difíciles de controlar, puesto que los errores pueden generar inestabilidad en el producto. Como alternativa, el dispositivo bajo prueba puede ser modificado para reproducir una condición de error, lo que resulta una opción de bajo coste. Sin embargo, este procedimiento es difícil de mantener.

Durante la prueba del sistema, o cuando se intenta emular el entorno del cliente, es necesario poder inyectar condiciones de fallo para reproducir el uso del producto. No obstante, para ser efectiva, la inyección de fallos debe ser transparente para el sistema.

Los dispositivos de medida PCIe en condiciones de error conocidas garantizan la creación de los productos más fiables. Los sistemas como el inyector N5323A de Agilent con capacidades de inyección de errores en línea permiten probar dispositivos PCIe 2.0 o controladores de software en sistemas bajo tensión, independientemente del sistema operativo o del tipo de aplicación.

En un sistema típico, el inyector de errores es colocado transparentemente entre dos dispositivos y puede ser programado para modificar en tiempo real las transferencias de datos PCIe reales con el fin de crear situaciones de prueba disruptivas. Se pueden programar prácticamente casi todos los tipos imaginables de pruebas de recuperación de errores, errores corregibles y errores incorregibles incluidos. Esto permite a los desarrolladores e ingenieros de prueba mejorar el manejo de errores y evitar costosos cambios de última hora en el producto o retiradas del mercado.

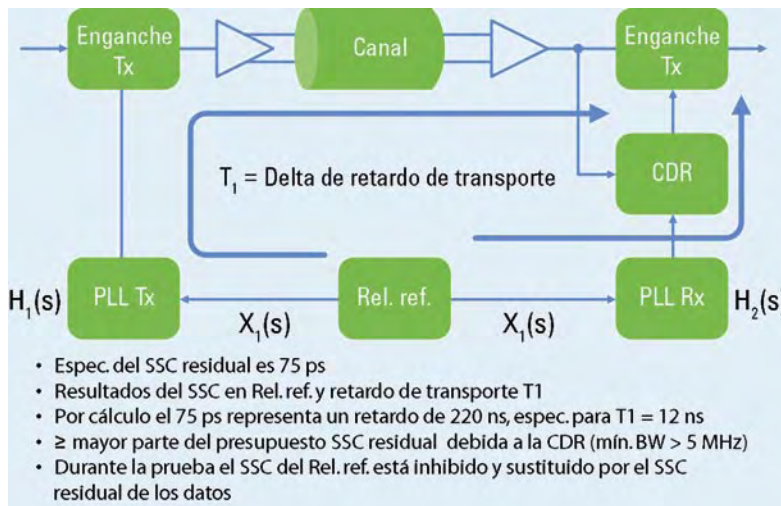



Figura 4. Modulación de espectro ensanchado

Conclusión

Actualmente la tecnología PCI Express se ha revelado como la solución de interconexión predilecta para numerosas aplicaciones de alto rendimiento, y su posición ha sido consolidada con el lanzamiento de la revisión 2.0 del estándar. El estándar PCIe 2.0 aporta mejores prestaciones, sobre todo doblando la velocidad de transmisión de datos alcanzable. Introduce también nuevos desafíos de prueba con especificaciones adicionales que deben ser cumplidas, por ejemplo, en la prueba de tolerancia de jitter. La naturaleza de cualquier sistema de interconexión es tal que el entorno en que será utilizado puede ser muy variable. Para crear productos fiables es necesario que esta variabilidad pueda ser emulada, lo que se traduce en pruebas disruptivas en condiciones de error conocidas.

La comprobación del producto PCI Express requiere numerosas soluciones de prueba, ya que es necesario efectuar una gran varie-

dad de pruebas y tareas de depuración, cada una de ellas con requisitos para distintas herramientas y distintas habilidades técnicas. La completa gama de herramientas de prueba PCI Express de Agilent permite cubrir todas las necesidades de prueba en todos los niveles.

Para más información acerca del PCIe 2.0 de Agilent, visite la página web: www.agilent.com/find/pciexpress2. Para más información acerca de las tecnologías PCI-SIG, visite la página web: www.pcisig.com. 

Acerca del autor

Rick Eads es director del programa PCI Express y Director de Productos sénior en Agilent Technologies.

La experiencia de Rick se basa en la comercialización técnica e industrial de herramientas de prueba y medida y de software de automatización de diseño electrónico para empresas líderes en los sectores informático, de semiconductores, de comunicaciones alámbricas e

inalámbricas, de almacenamiento y aeroespacial de todo el mundo.

Rick trabaja definiendo productos de precisión y sintetizando soluciones innovadoras importantes que responden a las nuevas y emergentes exigencias de los productos de software y hardware. Proporciona dirección técnica para liderar estándares en organizaciones industriales para PCI Express, FB-DIMM (FBD), DDR, HyperTransport, ExpressCard, SATA e InfiniBand. Ha trabajado en la comercialización de productos de prueba y medida desde osciloscopios, analizadores lógicos y soluciones de emulación con microprocesador hasta herramientas de emulación ASIC y herramientas EDA.

En 1993 Rick hizo un máster en Administración de Empresas en la Universidad de Colorado, centrado en finanzas y márketing, y en 1985 se licenció en Ingeniería Eléctrica en la Universidad Brigham Young, en la rama de diseño digital y arquitectura de computadoras. Actualmente Rick es miembro del Consejo Directivo de PCI-SIG.