

# Receptor digital DRM para la banda de 49 m

Por Paula Gómez Pérez y Sigfredo Pagel Lindow

Paula Gómez Pérez y Sigfredo Pagel Lindow, del Dpto. Tecnologías de las Comunicaciones. ETSE Telecomunicación. Universidad de Vigo

*En este artículo describiremos la realización de un receptor para radiodifusión digital DRM aplicado al caso particular de la banda de HF de los 49m, no obstante, el diseño puede extenderse a otras bandas introduciendo unos cambios mínimos sobre el circuito original.*

El hecho de utilizar la banda de 49m no es casual; en la actualidad, cuando las transmisiones son todavía experimentales, la mencionada banda permite una recepción muy aceptable en unas diez emisiones comprendidas entre 6810 kHz y 6175 kHz. El diseño que se propone ahora es, en algunos aspectos, similar al propuesto en el N° 602 de esta revista; la mayor diferencia reside en el sintetizador de frecuencias que, en este caso, estará basado en un PLL, el popular SAA1057 de Philips, que fuera utilizado con tanto éxito en receptores comerciales de AM/FM.

Este proyecto seguirá siendo un receptor superheterodino de doble conversión -primero a 455kHz y luego a 12kHz para atacar la entrada de micrófono de la tarjeta de sonido de un ordenador personal- y los mezcladores seguirán siendo los excelentes NE612 cuya probada prestación los hace muy recomendables. La etapa de FI operará, en este caso, con un solo transistor el BF240 o similar. La etapa presentada en el N° 602 sería igualmente válida.

Las placas impresas se han diseñado con el programa PIA simplemente porque nos resulta más familiar aunque, obviamente, puede utilizarse cualquier otro. Aquí lo realmente importante es la idea de una distribución racional de los componentes.

El esquema en bloques de un receptor superheterodino es ampliamente conocido y fue detallado en el mencionado N° 602 de esta revista, Fig. 3 del artículo anterior, por lo que no insistiremos sobre él. Comenzaremos explicando la sintonía por PLL.

## La síntesis de frecuencias

El estado actual de la técnica apunta a los *sintetizadores coherentes*, estos se caracterizan por generar un gran número de frecuencias, con elevada precisión y estabilidad, a partir de una única fuente de referencia que suele ser un oscilador basado en un cristal de cuarzo.

Muchos sintetizadores digitales de frecuencias se basan en un lazo de enganche de fase digital (PLL) que produce una amplia gama de frecuencias a su salida, estas frecuencias, dependen del posicionado de un contador programable o, lo que es lo mismo, de un divisor por N (ver fig. 1).

En principio, un sintetizador de frecuencias es una fuente de frecuencias donde cada una de las frecuencias de salida es un múltiplo entero de la frecuencia de referencia de entrada. El circuito básico se obtiene a partir de un PLL donde se interrumpe la realimentación y se intercala un contador que divide por N (posición (2) del conmutador, figura 1). Si la relación de división pudiera modificarse, manual o electrónicamente, se podrían generar múltiples frecuencias.

### Lazo de enganche de fase PLL

El PLL (*Phase Locked Loop*) básico es un lazo de realimentación como el de la figura 1 donde el *divisor programable* está sustituido por un *cortocircuito* (posición (1) del conmutador, figura 1) y, de esta forma, está formado por:

- 1-. Un detector de fase o comparador

- 2-. Un filtro de paso bajo
- 3-. Un oscilador controlado por tensión (VCO).

El VCO es un oscilador cuya frecuencia puede modificarse mediante una tensión de control. Su *frecuencia de oscilación libre*, digamos  $f'_o$ , -cuando no hay tensión de control aplicada- se fija mediante un circuito RC o LC. En condiciones normales de operación la frecuencia del VCO,  $f_o$ , es realimentada directamente al *detector de fase* (posición (1) del conmutador) donde se la compara con la frecuencia de referencia  $f_{REF}$ .

El detector de fase puede adoptar diferentes formas, pero básicamente es un multiplicador o mezclador. La salida del detector de fase es una *tensión de error* que es proporcional a la diferencia de frecuencia  $f_{REF} - f_o$ .

También es proporcional a la diferencia de fase entre la fase de referencia y la del VCO  $\Delta\theta = \theta_{REF} - \theta_o$ . La tensión de error se filtra para remover restos de frecuencias superiores de ruido y, para completar el lazo, se la aplica a la entrada del VCO: la tensión de error corrige la frecuencia del VCO para reducir la diferencia de frecuencia entre éste y la entrada.

Cuando no hay tensión de control aplicada, dado que el detector de fase *actúa como un mezclador*, como todo mezclador, producirá a su salida una nota de batido definida por la diferencia de frecuencia  $\Delta f = f_{REF} - f'_o$ . Aparecerán también: la frecuencia suma  $f_{REF} + f'_o$  y una serie de productos de intermodulación, ninguno de los cuales pasará por el filtro.

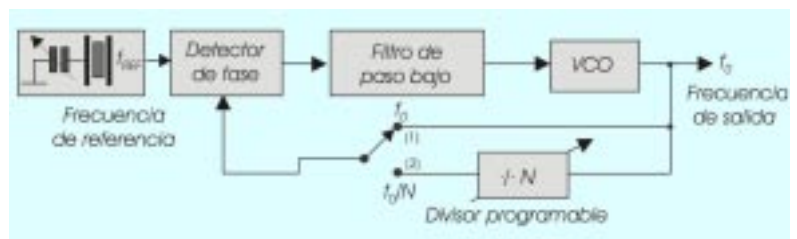


Figura 1. Esquema básico de un sintetizador de frecuencias



**Diseño del VCO**

El VCO habrá que diseñarlo, ya que no se encuentra integrado en el Chip. Para la banda de los 49m puede utilizarse cualquiera de las configuraciones clásicas, así hay autores que utilizan el circuito Hartley otros el Clapp, nosotros proponemos la configuración Colpitts con *colector a masa* que permite obtener una buena onda sinusoidal con baja distorsión y un ruido de fase aceptable como se puede comprobar experimentalmente a la hora de recibir la señal DRM.

En los manuales de diseño, por ejemplo en el *Solid State Design*<sup>1</sup>, se encuentran ecuaciones para el cálculo de este tipo de oscilador.

Dado que utilizaremos como primer mezclador el integrado NE612 aprovecharemos su transistor "on chip" como componente activo del VCO, tal como se muestra en trazo discontinuo en la Figura 2.

En el caso del NE602 dicho transistor interno viene configurado con colector a masa. El transistor posee internamente una resistencia en emisor de 22kΩ que resulta excesiva para arrancar el oscilador por lo que se ha instalado, externamente, una resistencia adicional en paralelo de igual valor respetando las recomendaciones de Phillips respecto del integrado NE612.

Como resultado de los cálculos surgen condensadores comerciales de 560pF para conectar entre base-emisor y entre emisor-masa, por su parte, la capacidad de acople al tanque será de aproximadamente la mitad: un valor comercial de 270pF.

Para la realización del inductor utilizaremos un soporte estándar con núcleo ferromagnético ajustable, de acuerdo con el esquema de la Figura 3. Si se tienen en cuenta todas las capacidades que intervienen en el tanque, el inductor será de unos 4μH y su valor no es crítico ya que se dispone un núcleo ajustable.

El cálculo<sup>2</sup> arroja unas 25 a 27 vueltas de alambre de cobre esmaltado de 0.2 mm (35 vueltas si se tiene en cuenta el efecto reductor de la impedancia debida al blindaje).

5.8 MHz y 6.18 MHz (una banda de sintonía de 380 kHz resulta excesiva para un solo varactor). Estos varactores están conectados en paralelo con el tanque vía condensador de 100nF a masa.

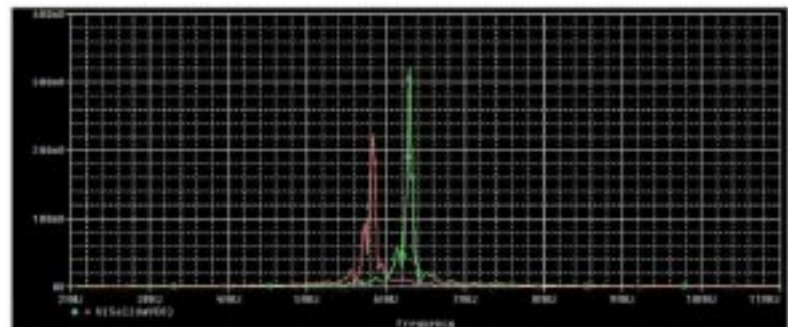
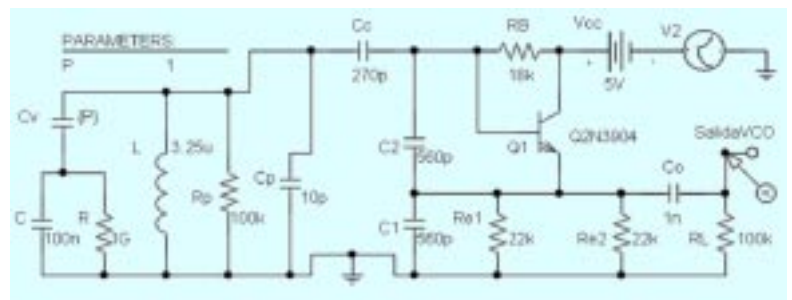
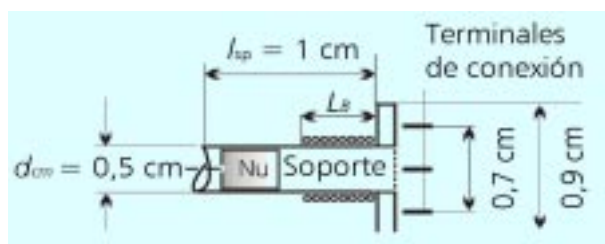
Por otra parte, para mejorar la sintonía, Phillips permite una alimentación de hasta 30V para V<sub>cc3</sub> pero esto requeriría utilizar dos fuentes de alimentación diferentes y complicaría demasiado el montaje.

El integrado, entrada FAM terminal (11), toma la señal del VCO

Figura 4. Simulación del VCO

Figura 5. Resultado de la simulación

Figura 3. Esquema del inductor para el tanque del VCO



En el circuito de la Figura 2 se había previsto para la sintonía fija del tanque oscilador la posibilidad de un "trimmer" de 0-100pF aunque luego, en la práctica, se optó por un condensador fijo de 82pF que resultó adecuado; en la placa impresa propuesta puede verse dicho condensador debajo de la bobina osciladora.

La sintonía del VCO será, obviamente, por varactor. Hemos utilizado dos BB105 (o un BB204 en configuración en paralelo para cubrir holgadamente la banda entre

directamente del emisor a través de un condensador de 120pF y corrige la frecuencia de éste oscilador desde la salida OUT terminal (6) cambiando la tensión de los varactores.

La salida del VCO, desde su base, se aplica internamente al mezclador a través de un buffer o separador interno, véanse las hojas de características del NE612.

La entrada FFM, terminal (8) del PLL, la hemos conectado a masa a través de un condensador de 10nF ya que no se utiliza en este proyecto.

### Simulación del VCO

Se ha montado en PSpice el circuito de la Figura 4 para la simulación, habiéndose obtenido una inductancia de  $L=3.25\mu\text{H}$  cuando  $C_{v,\text{min}}$  se posicionaba para la máxima tensión disponible (5V) en 30 pF.

Para obtener los extremos de la banda a sintonizar, se ha realizado un estudio paramétrico ajustando el VCO mediante la capacidad del varactor  $C_v$  entre:

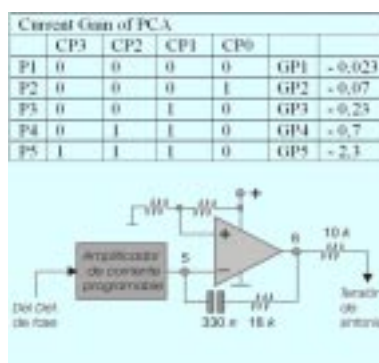
$$C_{v,\text{min}} = 30\text{pF} \rightarrow f_{\text{max}} = 6.3\text{ MHz}$$

$$C_{v,\text{max}} = 60\text{pF} \rightarrow f_{\text{min}} = 5.8\text{ MHz}$$

En la Figura 5 se muestra el resultado de la simulación a través de un análisis de Fourier donde se ve la factibilidad de obtener el rango de frecuencias previsto con un solo varactor. Posteriormente, en la práctica, seremos algo más conservadores y utilizaremos dos varactores en paralelo.

### Bomba de carga

El circuito integrado SAA1057 presenta un detector de fase/frecuencia con bomba de carga de corriente y amplificador de corriente programable como se indica en la Figura 6.



El amplificador programable permite programar la ganancia de la bomba de carga entre 0.023 y 2.3, como se muestra en el cuadro de la izquierda de la Figura 6, para ello, es necesario asignar los bits de  $C_{p3}$  a  $C_{p0}$  para una de las posibles configuraciones, como se muestra en la Figura 7, Data Word B.

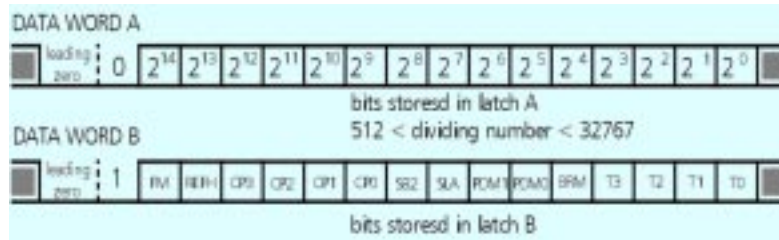


Figura 7. Organización de la palabra de datos del SAA1057

El filtro recomendado por el fabricante utiliza un amplificador interno (on-chip) realimentado externamente por una red RC serie como se muestra en la parte derecha de la figura 6.

### El control del PLL

El control de frecuencia del PLL se realiza desde el PC mediante un sencillo programa en Visual Basic a través del puerto serie, con 1, por los terminales DATA, DLEN y CLB. Para ello se conectan los terminales (12), (13) y (14) al puerto del ordenador a través de tres resistencias de 220kΩ cada una. El conector hembra de 9c se instalará directamente sobre la placa impresa o platina.

### Programa de sintonía

Quienes posean conocimientos de Visual Basic pueden hacerse su propio programa a partir de los datos del PLL SAA1057 en su fig. 2. En una publicación posterior se presentará el desarrollo de uno de estos programas.

Se pueden obtener programas de software para sintonizar este PLL de la bibliografía, por ejemplo, Burkhard Kainka<sup>3</sup> desarrolló un programa en Visual Basic cuya ventana de comando se muestra en la figura 8.

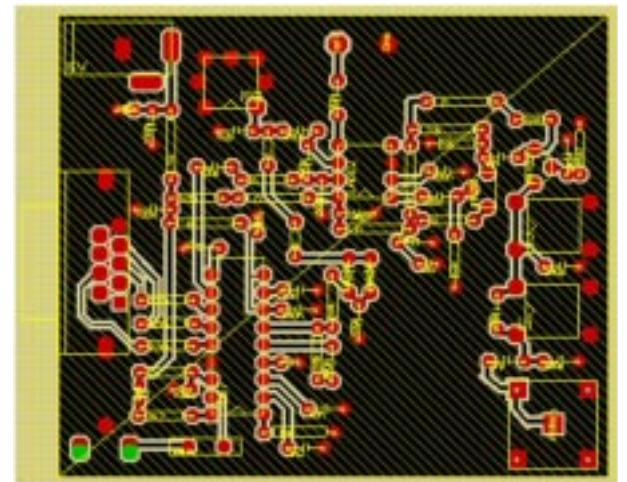
Este programa viene acompañado como parte del CD de la obra referenciada.



Figura 9. Imagen capturada de la platina que contiene el sintetizador

### Platina del sintetizador con la primera conversión y etapa de RF

La platina correspondiente al circuito de la figura 2 se muestra en la figura 9, en la mitad izquierda se observa el conexionado del PLL, el conector al PC y los principales componentes del VCO, incluyendo el inductor del tanque<sup>4</sup>.



La salida a FI se encuentra en la parte superior del centro de la placa.

En las proximidades del centro de la placa se observa el primer mezclador y en el costado derecho la entrada de antena con el amplificador de RF de doble sintonía.

En nuestro artículo sobre DRM del número 602 de esta revista se ha incluido un amplificador de bajo ruido opcional para la banda de los 49 metros que, en el presente proyecto, se incluyó en la placa de la Figura 9. La entrada de antena se encuentra abajo a la derecha, luego se observan las inductancias toroidales

Figura 6 Bomba de carga y filtro

Figura 8. Ventana de comando del programa de B. Kainka en Visual Basic

del filtro de entrada y más arriba, en dirección al mezclador NE602, los dos transistores del amplificador.

La integración de esta placa, en su versión prototipo, puede observarse en la foto de la Figura 10. Originalmente se había incluido parte del amplificador de FI que ahora ha quedado relegado a una segunda placa (FI y segunda conversión) que se describirá en los párrafos siguientes.

En la misma Figura 10 se observa en su parte derecha, el amplificador de bajo ruido con adaptador, opcional para la banda de los 49 m, cuyo circuito fue propuesto en el N° 602 de esta misma revista. Este circuito se ha considerado opcional ya que el receptor funciona correctamente, cuando el nivel de señal es adecuado, si se aplica la antena directamente al Terminal (2) del mezclador SA602/12. En un número posterior desarrollaremos el diseño de este tipo de amplificador. Comenzando desde abajo hacia arriba se tienen: el conector BNC, el filtro de paso banda de antena, donde sobresalen los dos inductores toroidales, y más arriba ambos transistores, el amplificador y el separador cuya salida se conecta a la entrada (2) del mezclador SA602/12.

mientos difíciles de detectar, de manera que se ha optado por una platina para la FI de 455kHz y segunda conversión separada de la primera.

Comenzaremos por el circuito de estas etapas a partir de la salida del primer mezclador. En la figura 11 exponemos el circuito eléctrico de esta parte.

La entrada indicada como "Entrada 455kHz" se conecta directamente al terminal indicado como "a la entrada de FI" en la Figura 2 mediante un cable blindado con malla a masa o trenzado de dos conductores, uno de ellos a masa.

El filtro cerámico de entrada puede ser, además del CFW455 de Murata indicado en la figura, el ALFY455F de la fábrica TOKO, ambos de idéntica prestación. Es conveniente que el ancho de banda del filtro no supere los 12kHz.

El amplificador de FI es extremadamente simple, obsérvese la baja resistencia de carga del transistor (150 Ohm). Se requiere muy baja amplificación, poco más que compensar las pérdidas del filtro cerámico, unos 12dB en potencia resultan

### La etapa de FI de 455kHz y la segunda conversión a 12kHz

No somos partidarios de placas demasiado concentradas, donde muchas veces se producen acopla-

Figura 10 Foto de la realización, versión prototipo, de esta parte del proyecto

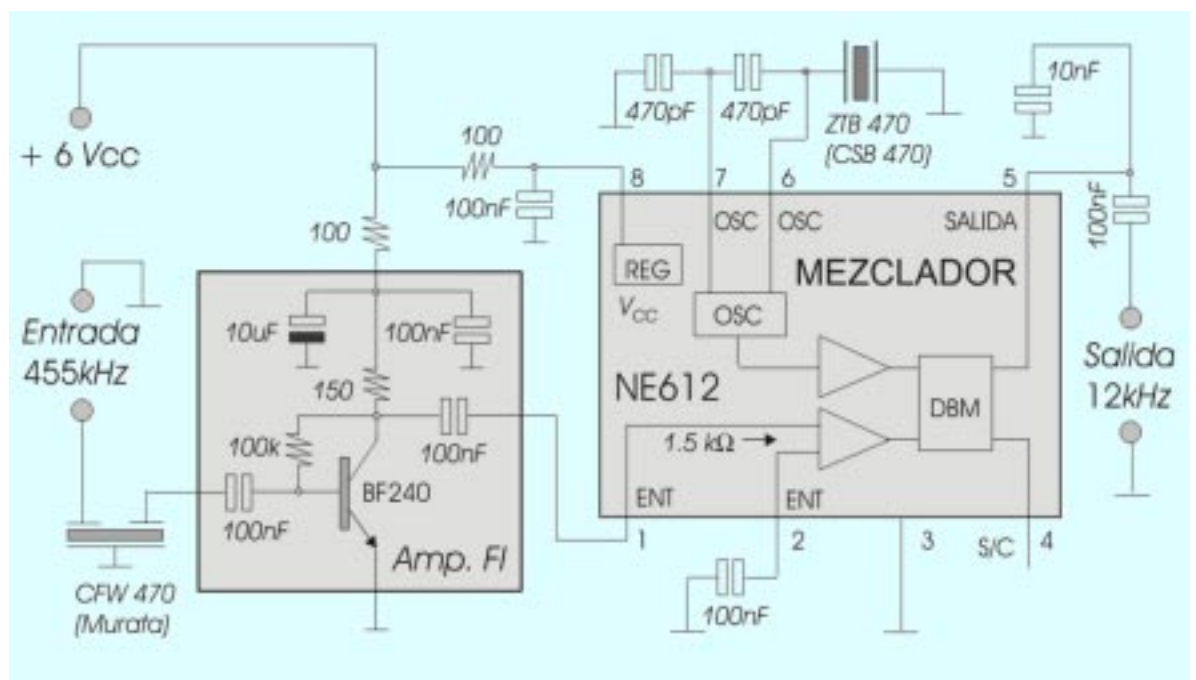
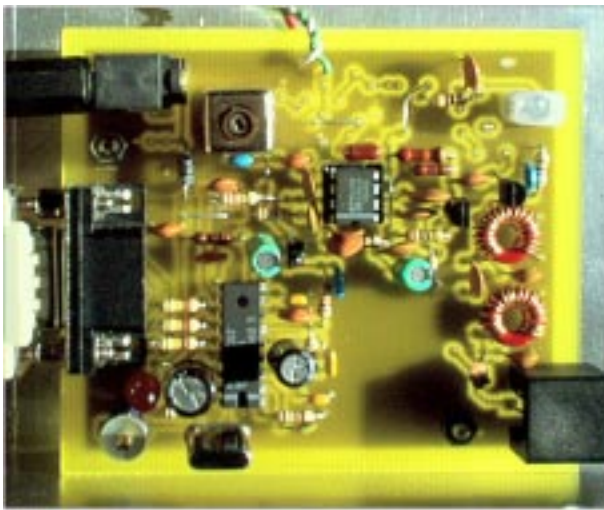


Figura 11 Circuito de la etapa de FI de 455kHz y segunda conversión

suficientes, de lo contrario se sobrecargaría el segundo convertidor. Hay que tener en cuenta que ambos mezcladores NE612 introducen prácticamente la ganancia necesaria para la operación en DRM.

### La segunda conversión

El circuito integrado NE612, o el NE602, funciona cómodamente para convertir señal, centrada en  $455\text{kHz}$ , a  $12\text{kHz}$ , para ello se requiere una segunda conversión con un oscilador local de frecuencia fija a  $467\text{kHz}$ . La base de este oscilador será nuevamente el transistor "on chip" que provee el NE612. Para ello utilizaremos un resonador cerámico a frecuencia fija, en este caso el ZTB470, también podría haberse utilizado el CQ470. Estos resonadores son baratos pero habrá que conseguir bajar su frecuencia de oscilación hasta los  $467\text{kHz}$ . Se consigue bajar levemente la frecuencia del resonador cerámico *tirando* del mismo con unas capacidades adecuadas (La expresión "*tirar del cristal*" en la jerga de los resonadores consiste, en este caso, en reducir muy levemente su frecuencia de resonancia serie utilizando carga capacitiva).

En el caso de utilizar el primero las capacidades necesarias entre base-emisor y emisor-masa para conseguir los  $467\text{kHz}$  requeridos son de  $470\text{pF}$ , en caso del segundo:  $220\text{pF}$  aproximadamente<sup>5</sup>.

El mezclador es atacado por la señal de  $455\text{kHz}$  en su terminal (1) a través de un condensador de paso de  $100\text{nF}$ , mientras que el terminal (2) es mantenido a cero mediante otro condensador de  $100\text{nF}$  a masa (excitación asimétrica), ya que no es posible conectar el terminal (2) directamente a masa debido a la polarización continua interna del chip NE602.

La salida a  $12\text{kHz}$  se toma indistintamente del terminal (4) ó (5), el terminal que no se usa *queda en el aire*. No se requiere un filtro el-

borado para la salida; un condensador de  $10\text{nF}$ , incluso hasta  $15\text{nF}$ , es suficiente para atenuar las frecuencias superiores, fuera de la banda útil.

### La platina de FI y la segunda conversión

En la Figura 12 mostramos la pequeña platina para este tramo del circuito realizada con el programa PIA. A la izquierda se observa la huella del filtro tipo LFY, válida tanto para los filtros cerámicos<sup>6</sup> TOKO como para los Mutata. El transistor con su circuito asociado se encuentra en el centro de la platina y a la derecha tenemos el mezclador indicado con su denominación Phillips.



La entrada se encuentra a la izquierda, mientras que la salida está a la derecha de la placa, ambas en la parte baja de la figura.

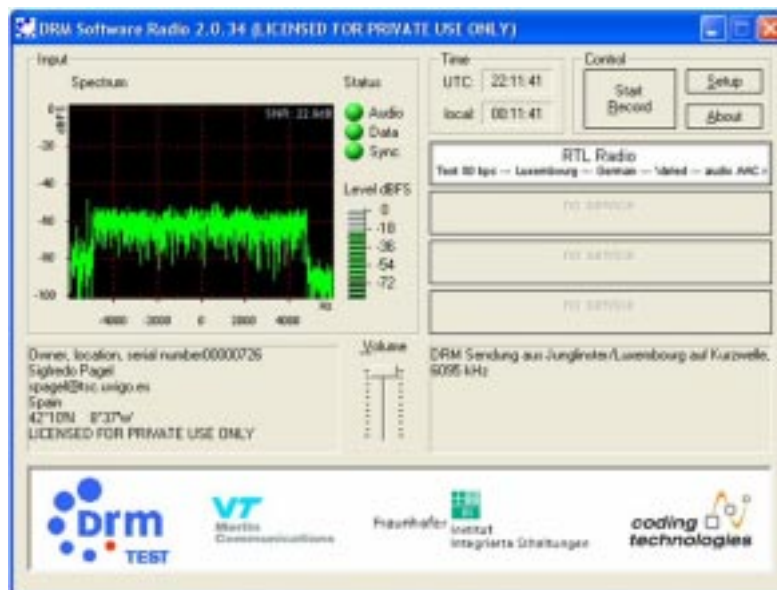


Figura 12. La platina para FI y segunda conversión

### Fuente de alimentación

El equipo requiere una fuente de alimentación de corriente continua estabilizada de 6 a 8V para asegurar la estabilidad del VCO. Si se desea puede utilizarse un regulador en la placa del tipo 7806 ó 7808 por ejemplo. En la figura 13 se observa una vista capturada de la señal recibida (en condiciones de propagación normales) con este equipo asociado a un PC de adecuada prestación que utiliza una tarjeta de sonido SoundBlaster Live 5.1.

### Bibliografía

1. Wes Hayward and Doug DeMaw. Solid State Design for...American Radio Relay League. USA. 1995.
2. Sigfredo Pagel. Diseño de receptores de HF. Tórculo Ediciones. Sgo. Compostela. España. 2003.
3. Kainka, Shneider. DRM Empfangspraxis. Verlag GmbH. Italia. 2004.
4. Sigfredo Pagel-. Diseño de receptores de HF. Edición ampliada con DRM. Tórculo Ediciones. Sgo de Compostela-. España-. 2006.
5. S. Pagel. Técnicas Recepción. Tórculo Ed.,Sgo. Compos. Spain. 2005.
6. S. Pagel. Diseño de Receptores HF, 2ª Ed. Tórculo. Sgo. Compos. 2006.

Figura 13. Recepción de RTL en 6,090 MHz con el prototipo