

La nueva familia LATTICEECP4 redefine las FPGAs de bajo coste y consumo con sus innovadoras características de alto rendimiento

SERDES 6G, Motores endurecidos de comunicación y bloques DSP de ultra ancho de banda entre sus innovaciones para aplicaciones inalámbricas, de telefonía fija y de video sensibles al consumo de energía y al coste

Lattice Semiconductor Corporation (NASDAQ: LSCC) ha redefinido el mercado de FPGAs de bajo costo, y baja potencia de rango medio con el anuncio de la próxima generación de la familia de FPGAs LatticeECP4™, con SERDES 6 Gbps en encapsulados wire-bond de bajo coste, potentes bloques DSP y motores robustos de comunicación basada en IP para los mercados inalámbricos, de telefonía fija, video e informática, sensibles al coste y al consumo de energía. La familia de FPGA LatticeECP4™ se basa en la galardonada familia LatticeECP3™ incorporando sus características de primera calidad mientras que mantiene su liderazgo de baja potencia y coste en la industria. Los dispositivos LatticeECP4™ son ideales para el desarrollo de plataformas mainstream para una variedad de aplicaciones tales como cabezales remotos de radio (RRH), sistemas de antena distribuidos, estaciones base celulares, Ethernet, conmutación, enrutamiento, redes industriales, procesamiento de señal de vídeo, transmisión de video y e informática en Centros de Datos.

Una demostración en video de la familia FPGA LatticeECP4™ está disponible en:

Inglés: <http://www.latticesemi.com/ecp4videoen>

China: <http://www.latticesemi.com/ecp4videocn>

Japón: <http://www.latticesemi.com/ecp4videojp>

Imágenes de la Familia FPGA LatticeECP4 se pueden ver y descargar desde aquí:

www.latticesemi.com/ecp4images



Motores robustos de comunicación SERDES de alta calidad.

Las FPGAs LatticeECP4™ contienen hasta dieciséis canales SERDES 6 Gbps compatibles con CEI con bloques PCS (Subcapa física de codificación) en ambos encapsulados wire-bonded de bajo coste y flip chip de alto rendimiento, dando a los clientes la opción de desplegar la FPGA LatticeECP4™ en aplicaciones chip a chip, así como en aplicaciones backplane de larga distancia. Los versátiles y configurables SERDES/PCS se pueden integrar perfectamente con motores robustos de comunicación para construir de forma económica completos sub-sistemas de alto ancho de banda. Los motores de comunicación ofrecen hasta 10 veces más potencia y reducción de costes que otros desarrollos similares de estructuras FPGAs. La cartera de motores de comunicación LatticeECP4™ incluye soluciones para PCI Express 2.1, 10 Gigabit Ethernet MAC múltiple y Tri-Speed Ethernet MACs así como Serial Rapid I/O (SRIO) 2.1. La combinación de SERDES / PCS y los motores de comunicación es ideal para completar

diseños en serie complejos basados en protocolo con menor coste, menor energía y menor tamaño al tiempo que acelera el tiempo de comercialización.

El innovador procesado DSP reduce el recuento de multiplicadores

La familia LatticeECP4™ incorpora potentes bloques de procesamiento de señal digital (DSP) con multiplicadores 18x18, ALUs anchos, sumador de árboles y cadenas portadoras para proceso en cascada. La lógica de refuerzo única (Unique booster logic) significa que cada bloque DSP LatticeECP4™ puede ser igual a cuatro bloques DSP LatticeECP3™, permitiendo hasta cuatriplicar la capacidad de procesamiento de la señal de la generación de dispositivos anterior LatticeECP3™. Los flexibles multiplicadores 18x18 puede ser divididos en 9x9 o combinados en 36x36 para adaptarse perfectamente a las necesidades de las aplicaciones de los clientes. Por otra parte, hasta 576 multiplicadores pueden conectarse juntos en cascada para construir filtros complejos cabezales remotos de radio (RRH), soluciones de antena RF basadas en MIMO y aplicaciones de procesamiento de vídeo.

Mayor rendimiento y capacidad

Las FPGAs LatticeECP4™ son hasta un 50% más rápidas que los dispositivos de la generación anterior y cuentan con interfaces de memoria 1.066 Mbps DDR3 y 1,25 Gbps LVDS I/Os que también son capaces de ser dispuestos como interfaces en serie Gigabit Ethernet. La nueva familia LatticeECP4™ también tiene un 66% más de recursos lógicos y un 42% más de memoria integrada para ayudar a los ingenieros de diseño a la construcción de sistemas completos FPGA on-chip.

"La próxima generación de la familia FPGA LatticeECP4™ ofrece a nuestros clientes una combinación sin precedentes de las características de alta calidad, alto rendimiento, bajo coste y bajo consumo de energía necesaria para aplicaciones inalámbricas, de telefonía fija, video e informáticas sofisticadas pero sensibles a bajos costes. Lattice ha sido pionera en la prestación de

innovaciones de vanguardia en dispositivos económicos para nuestros clientes. Con los dispositivos LatticeECP4™ ahora incluidos en el software de diseño Lattice Diamond®, nuestros clientes pueden comenzar inmediatamente a construir plataformas de baja potencia con una base amplia, para expandir sus mercados", dijo Sean Riley, Vicepresidente Corporativo y Gerente del Grupo Empresarial.

Ayuda al diseño de FPGAs LatticeECP4™

Lattice ofrece núcleos de propiedad intelectual (IP), tarjetas de desarrollo y software de diseño para el rápido lanzamiento de las iniciativas de diseño y rápido lanzamiento al mercado. Una gama de núcleos de propiedad intelectual (IP) que incluirá CPRI, OBSAI, Serial RapidIO, XAUI, SGMII/Gigabit Ethernet, PCI Express, SMPTE para conectividad de serie, filtros FIR, FFT, codificadores y decondicionadores Reed-Solomon, CORDIC, CIC, NCO para funciones DSP y otros para interfaces de memoria y conectividad.

El entorno de diseño Lattice Diamond acelera el tiempo de desarrollo

Los clientes pueden comenzar a diseñar con FPGAs LatticeECP4™ ahora usando el software de diseño Lattice Diamond 1.4 beta. El software de diseño Lattice Diamond es el nuevo buque insignia de entornos de diseño para los productos de FPGA de Lattice y ofrece un conjunto completo de potentes herramientas, flujos de diseño eficientes, y una interfaz de usuario que permite a los diseñadores enfocar con mayor rapidez las aplicaciones FPGA de baja potencia, sensibles al coste. Además, el software Lattice Diamond sigue proporcionando características líderes en la industria desarrolladas específicamente para aplicaciones de bajo costo y bajo consumo de energía. Estas incluyen una calculadora de energía muy precisa, una calculadora de ruido de salida de conmutación simultánea basada en PIN y algoritmos de desarrollo FPGA probados en MAP y PAR que ayudan a asegurar soluciones de diseño de bajo coste y baja potencia. Para obtener más

información sobre el entorno de diseño Lattice Diamond, por favor visite: www.latticesemi.com/latticediamond.

Acerca de la Familia FPGA LatticeECP4™

La familia FPGA LatticeECP4™ se compone de seis dispositivos que ofrecen el cumplimiento con los estándares de protocolos múltiples SERDES 6G en encapsulados wire-bond de bajo costo, interfaces de memoria DDR1/2/3 con velocidades de hasta 1066 Mbps, y potentes bloques DSP en cascada, que son ideales para proceso de alto rendimiento RF, banda base y señales de imagen. Alternando a 1,25 Gbps, las FPGAs LatticeECP4™ también cuentan con rápida LVDS I/O, así como memoria integrada de hasta 10,6 Mbit. La densidad de la lógica varía de 30K LUTs a 250K LUTs con un máximo de 512 usuarios I/O.

Las características de alto rendimiento de la familia FPGA LatticeECP4 incluyen:

Bloques DSP que permiten hasta funciones 36x36 de multiplicado y acumulado operando a > 500MHz. Las partes de DSP también cuentan con cascabilidad innovadora para la implementación de ancha ALU y funciones de suma en árbol sin los cuellos de botella de rendimiento de la lógica FPGA. El bloque DSP ofrece lógica reforzada, lo que permite cuatriplicar el ancho de banda por bloque DSP con respecto a generaciones anteriores de arquitecturas DSP.

La compatibilidad de jitter 6 Gbps SERDES CEI-6G y la capacidad de mezclar y combinar múltiples protocolos en cada SERDES quad. Esto incluye PCI Express 2.1, CPRI, OBSAI, XAUI, Serial RapidIO 2.0, SGMII/Ethernet Gigabit y 10 Gigabit Ethernet.

Los bloques SERDES/PCS han sido diseñados específicamente para permitir el diseño de los enlaces CPRI de baja variación de latencia que se encuentran en estaciones base inalámbricas con conectividad de cabezales remotos de radio (RRH).

Los bloques de motor robusto de comunicación utilizando matrices de metal con múltiples bloques 10 GbE y MAC de triple velocidad, así como bloques PCI Express 2.1 y SRIO 2.1. Estos bloques tienen 10 veces más área y más eficientes

energéticamente que los tradicionales desarrollos basados en FPGA.

El cumplimiento del estándar de interfaz SMPTE Serial Digital, con la capacidad sin precedentes para el soporte de señales de radiodifusión de video 3G, HD y SD de forma independiente en cada canal SERDES. El apoyo de triple ratio se realiza sin ningún tipo de técnica de sobremuestreo, consumiendo la menor cantidad posible de energía.

1,25 Gbps LVDS I/O, con bloques de recuperación de datos reloj, permite la interconexión de alto rendimiento de ADCs/ DACs y la implementación de enlaces SGMII/GbE. La capacidad de realizar funciones CDR con I/O de propósito general aumenta el número I/O en serie disponibles para el diseñador, permitiendo a las FPGAs menores, ser utilizadas incluso cuando un gran número de canales SERDES son necesarios, reduciendo considerablemente el costo de la implementación de interfaz lógica Ethernet en serie.

Estas características hacen que la familia FPGA LatticeECP4 sea ideal para el despliegue en infraestructuras inalámbricas sensibles a coste de gran volumen y energía, equipos de acceso de telefonía fija, video e imagen, así como las aplicaciones informáticas. Para más información sobre la nueva familia de FPGA LatticeECP4, por favor visite www.latticesemi.com/latticediamond.

Disponibilidad

Algunos clientes ya están diseñando con FPGAs LatticeECP4 usando el software Lattice Diamond 1.4 beta. Muestras de dispositivo estarán disponibles en el primer semestre de 2012 y su entrega para producción en gran volumen está prevista para el segundo semestre de 2012.

Acerca de Lattice Semiconductor

Lattice es la fuente de innovadoras [FPGA](#), [PLD](#) y soluciones programables [Gestione dell'Alimentazione](#) de gestión de energía. Para más información, visite www.latticesemi.com. Siga a Lattice a través de [Facebook](#), [RSS](#) y [Twitter](#)