

Síntesis Digital Directa de Frecuencias, DDFS

Por Sigfredo Pagel

Los sistemas de comunicaciones requieren para sus procesos de ondas senoidales que se obtienen en general a partir de osciladores tales como los denominados Colpitts, Clapp, etc., etc. Para aumentar la estabilidad en frecuencia se emplean cristales de cuarzo y se los engancha en fase con el auxilio del PLL. En la actualidad la forma más rápida y eficiente de generar frecuencias es a través de los denominados DDFS o simplemente DDS (Direct Digital Synthesis) o Síntesis Digital Directa. Se utilizan técnicas de muestreo, memorias RAM o sin/cos ROM, conversión Digital-Analógica DA y filtrado digital. Estos sistemas que a veces se denominan NCO (Numerically Controlled Oscillators) es decir Osciladores Controlados de Forma Digital, a pesar de esta curiosa denominación los DDS no tienen componentes capaces de oscilar (a no ser del reloj o clock), en consecuencia la denominación NCO no ha sido la más feliz de manera que la denominación DDS es la más adecuada.

Los DDS presentan una excelente resolución de frecuencia, son muy flexibles, pueden ser fácilmente modulados, se los puede combinar con el PLL para ampliar su rango y, con los procesos de integración actuales,

son chips de pequeño tamaño que se instalan fácilmente en cualquier placa impresa. Todo esto los hace apetecibles también en la fabricación de generadores de funciones.

Este artículo trata sobre el funcionamiento de estos dispositivos y algunas de sus particularidades. En el N° 602 de esta *Revista Española de Electrónica* fue utilizado el DDS AD9835 en el diseño de un receptor DRM, por lo cual aquí haremos referencia a dicho dispositivo de Analog Devices.

No todo es beneficio, los DDS para cubrir su rango de funcionamiento utilizan métodos de muestreo y están, por lo tanto, sometidos a la teoría de muestreo (Shannon y Nyquist). La máxima frecuencia utilizable se encuentra en el orden del 45% de la frecuencia del reloj; en la actualidad las frecuencias máximas posibles de generar se sitúan en torno a 1GHz. A pesar de sus limitaciones, muchas de sus funcionalidades son únicas y no se pueden obtener mediante ninguna otra técnica.

Arquitectura del DDS

La generación de frecuencias comienza por la sintonía de una determinada frecuencia, el valor de

la misma se encuentra estampada en una *palabra binaria de control de frecuencia FCW* (Frequency Control Word) que se aplica a la entrada del dispositivo. Los componentes básicos de un DDS se indican en la Figura 1 y están constituidos por:

- 1) un reloj (CLK) que genera la frecuencia empleada en el muestreo y para sincronizar las operaciones a ser realizadas por el sistema.
- 2) un acumulador de fase que compara la frecuencia del reloj con la frecuencia que se desea generar, impresa en la palabra binaria de sintonía, se trata de un dispositivo que realiza operaciones aritméticas sencillas.
- 3) la denominada "lookup table" (LUT) que suele ser una "sin/cos ROM" donde se realizan las operaciones de conversión de fase en amplitud.
- 4) el convertor digital-analógico (DAC) para convertir la onda muestreada, a la salida de la memoria, en una onda escalonada analógica.
- 5) finalmente un filtro paso bajo anti-alias (LPF) que provee un suavizado del escalonado de la sinusoide que ahora queda lista para ser utilizada.

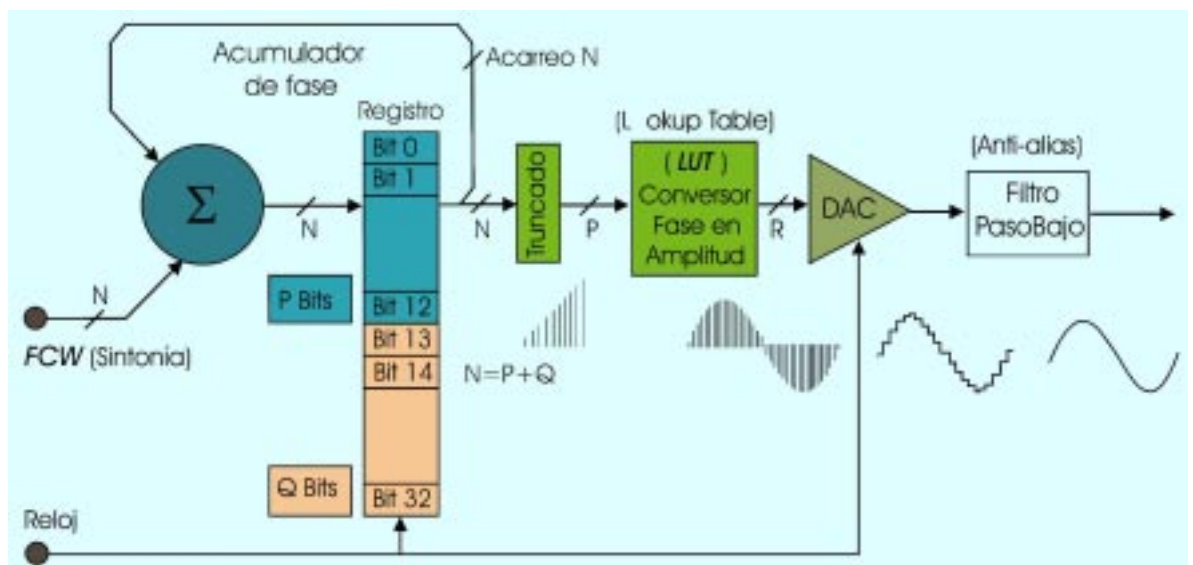


Figura 1. Ejemplo de esquema básico de DDS y señales generadas

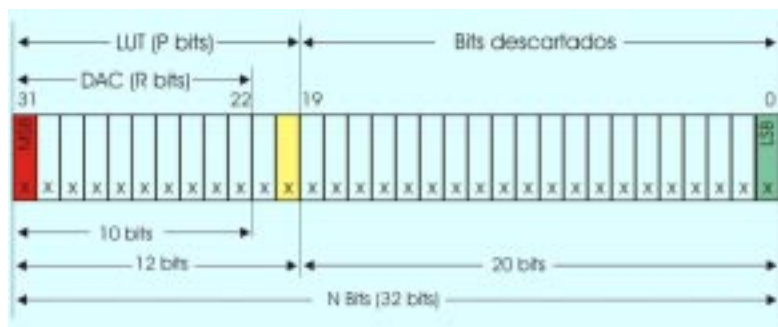
Descripción del funcionamiento del DDS

Cabe notar que Analog Devices (AD) es la empresa que ha desarrollado los DDS de la serie AD98xx (AD9833, AD9835, AD9850, etc., etc.) además de haber puesto a disposición de los diseñadores un amplio material técnico lo que siempre es de agradecer. Por simplicidad, para describir el funcionamiento de un DDS me he basado en uno de los más sencillos, el AD9835, que presenta una resolución de 32 bits en los registros. Sería apto para obtener una frecuencia de salida del orden de los 20 MHz con un reloj cuya frecuencia puede llegar hasta los 50 MHz según la hoja de especificaciones de AD. Comenzaremos la descripción desglosando el DDS en sus diferentes bloques de acuerdo con la Figura 1.

La palabra binaria de sintonía "FCW"

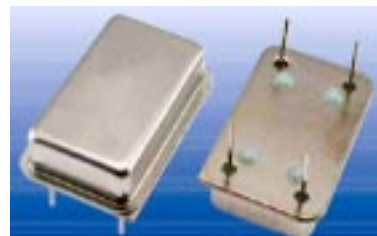
Para sintonizar la frecuencia deseada se utiliza una palabra binaria impresa en un registro de entrada al dispositivo DDS, se la denominó FCW y presenta la siguiente estructura aplicada al AD9835, Figura 2.

Se trata de una palabra de N bits (32 en el caso del AD9835) con lo que queda fijada la resolución del DDS. Los demás elementos se irán describiendo a medida que se introduzcan los diferentes bloques que se retrotraerán a esta figura.



El reloj (CLK)

Para el reloj pueden utilizarse osciladores del tipo de los utilizados en los PC por ejemplo, el GVXO, Figura 3, donde también se exhibe un extracto de sus características más elementales. Para este ejemplo particular, se encuentran disponibles valores intermedios entre 33 MHz y 50 MHz, todos se alimentan con baja tensión y son muy estables. Podría pensarse en un reloj de 50 MHz que es el máximo sugerido para el AD9835 y, de esta manera, se respetaría holgadamente la teoría de muestreo a fin de obtener una frecuencia de salida máxima de 20 MHz que se encontraría en el orden del 40 % de la frecuencia de muestreo, condición práctica requerida para este tipo de operación. Una aplicación a los receptores digitales DRM puede verse en la referencia (1).



Specifications		
Parameters	Product	Option Codes
	GVXD-43F	
Frequency range:	33.0 - 50.0MHz	■
Voltage-control:	+3.0V ±2.5%, 10% linearity	■
	>100kΩ input impedance	■

El acumulador de fase

El acumulador de fase es el componente principal del DDS y en general, en el estado actual de la técnica, presenta una resolución que va de 24 a 48 bits o incluso 64 bits; el AD9835 presenta una resolución intermedia de 32 bits, Figura 2.

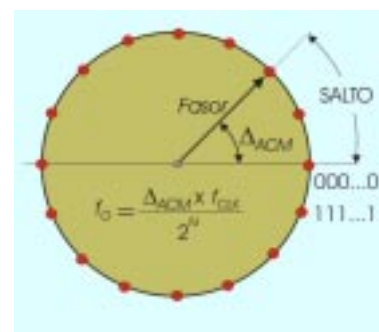


Figura 4. Rueda de fase digital

La naturaleza de una señal periódica continua, como la senoide, presenta obviamente una fase que varía entre 0 y 2π , fuera de este rango de valores la fase se repite de forma periódica.

En el caso de la realización del DDS digital el acarreo permite explicar el proceso de creación de una senoide basada en una rueda de fase con valores discretos como se ve en la Figura 4, véase Referencia Bibliográfica (2).

Es sabido que una onda senoidal continua se puede desarrollar mediante un "fasor" (vector giratorio) alrededor del círculo de fase y cada punto del círculo se corresponde con un punto de la senoide, en el caso continuo, hay infinitos puntos y una rotación del fasor equivale a un ciclo completo de la senoide.

En el caso discreto que nos ocupa ya no habrá infinitos puntos sino que dicho número estará determinado por la resolución de bits disponible. En nuestro caso, 32 bits, el número de puntos equidistantes sobre el círculo es exactamente 2^{32} , es decir, 4 294 967 296 puntos.

El acumulador de fase es un contador de módulo 2^N que incrementa

Figura 3 Osciladores de referencia utilizados como reloj

Figura 2. Palabra de bits aplicada a la sintonía del AD9835

Figura 5. Ejemplo de cómo actúa la palabra de bits FCW ó D_{ACM}

su número almacenado cada vez que recibe un impulso de reloj. Ahora es cuando podemos imaginarnos cómo trabaja "FCW" (frequency Control Word), se trata de una palabra codificada de N bits que se pone a la entrada del DDS para controlar la magnitud del incremento del acumulador " Δ_{ACM} " sobre el círculo o rueda de fase. En concreto, como se ve en la Figura 4, Δ_{ACM} indica la magnitud del salto fase que es necesario imponer al acumulador para generar una determinada frecuencia desde el valor mínimo, fijado por la resolución, hasta un valor máximo que en nuestro caso es de unos 20 MHz.

Para una dada resolución 2^N y una frecuencia de reloj " f_{CLK} ", la frecuencia de salida " f_o " estará determinada por la palabra FCW, es decir, por el salto Δ_{ACM} de acuerdo con la siguiente ecuación de sintonía del DDS:

$$(1) \quad f_o = \frac{\Delta_{ACM}}{2^N} f_{CLK}$$

Donde f_o es la frecuencia de salida, a veces denominada también portadora. Esta mecánica se verá mejor con un ejemplo donde se tiene un reloj de 50 MHz y se quiere obtener una frecuencia de salida del DDS de 10 MHz. Se calculará Δ_{ACM} .

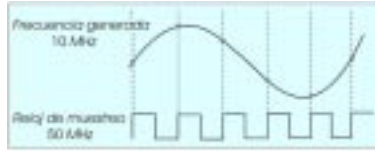
Para ello, despejando de la ecuación de sintonía del DDS, Expresión (1), sobre la base del concepto de rueda de fase y redondeando al entero más próximo (Notación: $[x]$ simboliza la parte entera de "x"), se tiene la Expresión (2),

$$(2) \quad \Delta_{ACM} = \left[2^N \frac{f_o}{f_{CLK}} + 0.5 \right]$$

Resulta necesario, en nuestro caso de 32 bits, un incremento del acumulador de:

$$\Delta D_{ACM} = (0.2 \times 2^{32}) + 0.5, \text{ FCW} = 0011\ 0011\ 0011\ 0011\ 0011\ 0011\ 0011\ 0011\ (32 \text{ bits}) \text{ y en hexadecimal es } 33333333.$$

En estas condiciones se obtiene 1 ciclo de la onda de salida por cada 5 ciclos de reloj, en otros términos,



con este valor de FCW el acumulador de fase se desbordaría al completar el quinto ciclo de reloj, y comenzaría un nuevo ciclo de la sinusoide, todo esto se exhibe en la Figura 5.

La frecuencia máxima según la Expresión (1) sería $f_{o,max} = f_{CLK}/2$ (Nyquist) y correspondería a dos ciclos de reloj, sin embargo nosotros limitaremos el uso del AD9835 a 20 MHz, como ya se dijo anteriormente, un 40% de f_{CLK} .

De acuerdo con la Expresión (1), para nuestro DDS, la frecuencia mínima (resolución) se obtendría para un valor de $\Delta_{ACM} = 1$ (2^0) siendo $f_{o,min} = f_{CLK}/2^N$, es decir, aproximadamente unos 10 mili Hz para el AD9835 con un reloj de 50 MHz.

Como conclusión de este bloque, cabe señalar que al disminuir el número de muestras por ciclo tomadas sobre la rueda de fase (aumento de Δ_{ACM}) la frecuencia de salida aumenta y, recíprocamente, al aumentar el número de muestras, por cada revolución del fasor, la frecuencia de salida disminuye.

La fase presenta un comportamiento lineal con el tiempo ($\phi = \omega t$), de manera que al generar una frecuencia constante la salida del acumulador de fase es una rampa de valores discretos como se ve en la Figura 1 a la salida del acumulador.

El correspondedor fase-amplitud (LUT)

El paso siguiente en el desarrollo de nuestra descripción es la conversión fase-amplitud que se realiza en la denominada "lookup table" LUT. Se trata en realidad de un "correspondedor" (mapping) entre la fase y la amplitud de una sinusoide.

Es en este bloque donde cada uno de los valores discretos de fase

$\phi_i = \omega t_i$ se "corresponde" a valores de amplitud de una sinusoide. De esta forma es posible generar una sinusoide con un desfase d y una amplitud de pico A . El contenido almacenado en la LUT, valor i -ésimo entre 0 y (2^P-1) , puede formularse según la Expresión (3) donde se utiliza la anterior notación de parte entera $[x]$.

$$(3) \quad LUT(i) = \left[d + A \sin\left(\frac{2\pi i}{2^P}\right) + 0.5 \right]$$

Cabe destacar que si la LUT, una ROM, tuviera que manejar la friolera de 2^N valores (2^{32} son 4 294 967 296 puntos) se produciría un aumento exponencial en las dimensiones del circuito integrado, habría que aumentar la superficie para mejorar la disipación, se produciría una ralentización, etc., etc. Resulta así obvio que la salida del acumulador de fase debe "truncarse" y, de los N bits que salen del acumulador, la LUT sólo utilizará P ($P < N$), los de mayor peso o más significativos, razón por la que sólo habrá una palabra de 2^P entradas en la LUT. Este truncado puede verse en la palabra FCW de la Figura 2.

En nuestro caso del AD9835 es $N = 32$ bits y $P = 12$ bits, parte superior del registro de la Figura 1, estos valores surgen del criterio de diseño adoptado por el fabricante del mencionado circuito integrado.

El truncado de referencia (descarte de $Q = N - P$ bits), suele ser una de las causas de la generación de líneas espectrales espurias producidas en el espectro de salida.

Quantificación

Debido al truncado de bits que se impone a la entrada de la LUT donde se pasa de N bits a P bits (en nuestro ejemplo de 32 a 12 bits), cuyas razones se explicaron antes, se produce una cuantificación de fase. Por otra parte, tal como se observa en la Figura 1, a la salida de la LUT se introduce un nuevo truncado de P bits a R bits ($R < P$), siendo R la palabra de salida de la LUT, en el caso

del AD9835 R=10 bits, Figura 2. Este hecho que se debe a exigencias del DAC (conversor digital-analógico), provoca además una cuantificación de amplitud.

La cuantificación de fase es consecuencia del truncado obligado dado que el tamaño de la memoria debe reducirse de $2^N \times R$ a $2^p \times R$. El inconveniente de esta cuantificación de fase es que introduce ruido de fase y además aparecen frecuencias espurias S_p a la salida del DDS cuya magnitud máxima será $S_{p,max}$.

Se ha observado (3) que hay palabras de sintonía para las cuales prácticamente no se producen espurios por truncado, mientras que otras palabras de sintonía presentan espurios S_p a máxima amplitud, el fenómeno parece bastante aleatorio.

Mayores detalles de los errores debidos al truncado de fase sobre el espectro de salida de un DDS convencional son presentados por Paul O'Leary et al. (4) y en las investigaciones realizadas, entre otros, por H. Nicholas et al. (5). Surge entonces una fórmula de peor caso para el cálculo de espurios basado en la función *Sinc*, Expresión (4), donde f_g se refiere a la frecuencia generada en el espectro de salida del DDS, los demás parámetros ya fueron definidos con anterioridad.

$$(4) \quad S_{p,max} = \left[2^p \text{sinc} \left(\frac{\pi(2^{N-p} f_g)}{2^{N-p}} \right) \right]^2$$

Con la Expresión (4) se define el peor caso (cuando Q=1) de la señal de error a la salida debida al truncado de fase. Si evaluamos el primer término del desarrollo de la (4) resulta:

$$(5) \quad S_{p,max} = -6.02P + 3.92 \text{ dB}$$

S_p se expresa en dBc, dB por debajo del nivel de la portadora o señal útil. La Expresión (5) incluye un sumando (3.92 dB) de corrección de peor caso cuando Q=1. En la práctica cuando Q>4, que es el caso del AD9835, el S_p será aproximadamente $S_p = -6.02 P]_{O>4}$ dBc.

Este valor debe considerarse solamente estimativo dado que simulaciones realizadas por computadora, véase por ejemplo la referencia (6), han permitido determinar que el problema es bastante más complicado puesto que este factor de corrección depende de $\xi_x = f_x / f_{CLK}$, siendo ξ_x la frecuencia normalizada de salida respecto de la frecuencia de reloj.

Sobre la optimización de la LUT

Para reducir la carga binaria de la LUT y agilizar su manejo se han propuesto varios métodos, uno de ellos consiste en desarrollar sólo ángulos de fase correspondientes a un cuarto de ciclo de la sinusoide muestreada, es decir se almacenarían los valores de magnitud entre 0 y $\pi/2$, y se aprovecharía la simetría inherente a la onda sinusoidal para regenerar el resto, esta tarea también se realizaría en la LUT.

Para reconstruir la onda completa entre 0 y 2π una práctica bastante empleada consiste utilizar los dos primeros bits de mayor peso, los dos MSB del acumulador de fase, el primero de ellos, para fijar el signo, mientras que el siguiente MSB resuelve si la amplitud del seno va a ser creciente o decreciente. En esta aproximación se utilizan sólo 2^{p-2} entradas del LUT hecho que conduce a una compresión de 4:1.

Otro método para ganar espacio en la LUT, utilizado por algunos fabricantes, consiste en

aplicar algoritmos de aproximación donde se descompone la fase en sus diferentes componentes aplicando identidades trigonométricas para llegar al resultado. Este método requiere del uso de multiplicaciones que vuelven a ralentizar el proceso.

Hay propuestas en la bibliografía para solventar este problema, por ejemplo, véase la referencia (7).

El conversor Digital-Analógico (DAC)

Para convertir los niveles discretos obtenidos a la salida de la LUT en una sinusoide escalonada se utiliza el denominado Conversor Digital-Analógico (DAC) (Digital to Analog Converter). Estos dispositivos en su versión usual están formados por una batería de fuentes de corriente y una matriz de conmutación muy rápida, en nuestro caso de 10 bits habrá 10 conmutadores (uno para cada bit) y estos son controlados por el reloj. La estructura de los DAC dependerá del tipo de integración, en el caso del AD9835 se utiliza tecnología CMOS. Si se desean conocer detalles sobre la circuitería de los DAC y su evolución en el tiempo puede consultarse el excelente trabajo de recopilación producido por Walt Kester (8).

En la figura 6 se muestra uno de los circuitos más clásicos, el más, un DAC de 4 bits, se lo ha empleado durante mucho tiempo en los integrados, por ejemplo en el DAC0808 y muchos otros, estaba muy de moda

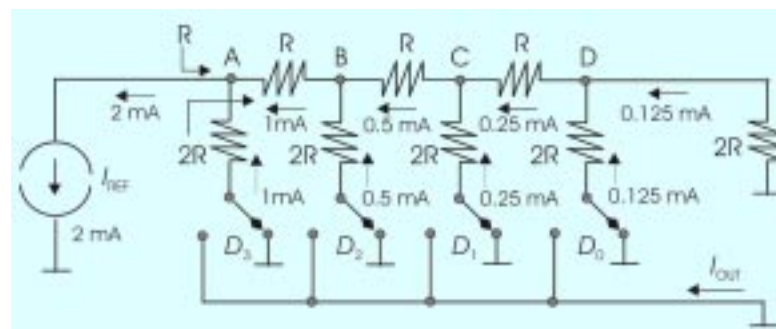


Figura 6. Circuito DAC de 4 bits basado en un circuito escalera R-2R

Figura 7. Conversor DAC de 10 bit R-2R implementado con transistores MOS

en los años 80/90. A día de hoy, es un referente y su principio de operación forma parte los DAC más actuales, donde se economiza superficie con una integración de tecnología CMOS.

El circuito escalera R-2R está constituido por sólo dos valores de resistencias lo que facilita la integración en polisilicio minimizándose así el problema de la tolerancia. El circuito presenta la particularidad de que si se mira en cualquier nodo, el A por ejemplo, desde la izquierda se ve R y desde la derecha del nodo se ve 2R como muestran las dos flechas en ángulo. ¡Observe que esto ocurre en cualquiera de los nodos!

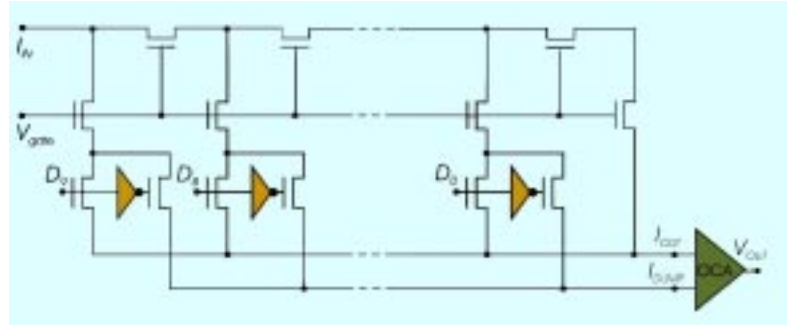
En la Figura 6 se muestra también que el circuito puede dividir la corriente en niveles binarios y el valor de I_{REF} lo pueden fijar las condiciones del diseño. En nuestro modelo, tomado de Malvino (9), se ha adoptado un valor sencillo, 2mA. Se observa que en cualquiera de las dos posiciones en que se encuentre el conmutador de un determinado bit, siempre se cerrará sobre tierra de manera que la corriente de referencia se mantendrá constante independiente de la posición del conmutador o, en otros términos, I_{REF} es independiente del bit sea éste 0 ó 1. Cuando todos los conmutadores se encuentren a la derecha se verifica que $I_{OUT} = 0$. El modelo no está limitado a los 4 bits del ejemplo, para n bits se tiene la Expresión 6.

$$(6) \quad I_{OUT} = (D_{n-1} + 2^{-1}D_{n-2} + 2^{-2}D_{n-3} + \dots + 2^{1-n}D_0) \frac{I_{REF}}{2}$$

En el caso de 10 bit, en el circuito escalera la corriente máxima de salida será $(1023/1024)I_{REF}$.

A día de hoy, esta estructura R-2R se utiliza en combinación con la tecnología CMOS. En esta tecnología se suelen utilizar conmutadores CMOS donde los resistores se reemplazan por transistores también CMOS, véase por ejemplo (10).

Figura 8. Efecto denominado "glitch"



En la Figura 7 se muestra una forma de implementar la configuración R-2R combinada con un amplificador operacional de corriente OCA. Este amplificador necesita en su otra entrada, la positiva, de una corriente complementaria I_{DUMP} que se obtiene mediante el inversor asociado a cada rama derivación, como se puede ver en la Figura 7.

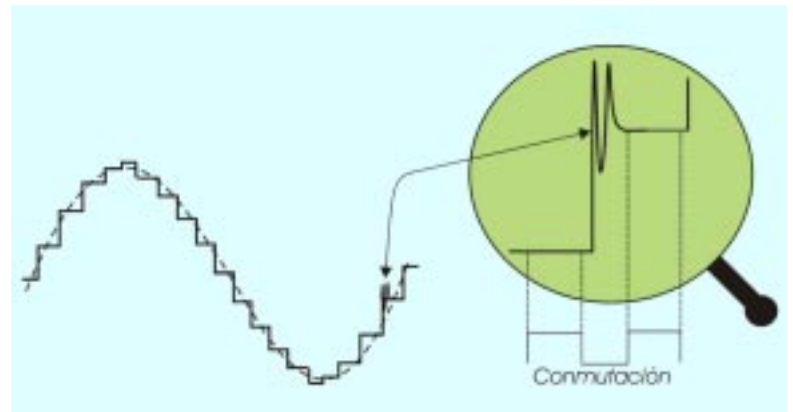
Uno de los inconvenientes que se producen en el DAC es en las transiciones donde aparecen señales anómalas como consecuencia del proceso de conmutación. Se trata de una subida repentina e inesperada de energía (glitch), Figura 8, una especie de sobreimpulso, que se produce en el instante en que la matriz de conmutación conmuta las fuentes de corriente de un estado a otro (ON, OFF). En la Figura 8 se ha destacado este fenómeno sólo en uno de los pulsos. Una posible solución sería realizar la conmutación una vez que el DAC se haya establecido en el nuevo nivel, en la parte plana o valle de la onda escalonada como se muestra

La corriente I_{IN} de la Figura 7 cumple la función del generador de referencia I_{REF} del circuito de la Figura 6. Los transistores que conectan las salidas I_{OUT} e I_{DUMP} (valor complementario del anterior) cumplen la doble función de actuar como resistencias y trabajar como conmutadores.

La tensión V_{gate} pone el nivel alto de los bits mientras que el nivel bajo de los mismos se encuentra por debajo del umbral de los transistores MOSFET.

La corriente de salida I_{OUT} , que es la suma de la señal de los 10 bits,

debe convertirse en una tensión de salida para ello se utiliza un amplificador de corriente OCA. Este amplificador necesita en su otra entrada, la positiva, de una corriente complementaria I_{DUMP} que se obtiene mediante el inversor asociado a cada rama derivación, como se puede ver en la Figura 7.



en la misma figura, debajo de la "lupa". Claro que con esta técnica quedaría un hueco (zona del glitch) que podría completarse mediante interpolación.

El DAC es el eslabón más débil de la cadena del DDS en lo referente a ruido, linealidad, etc. Toda vez que la LUT llama un valor de amplitud que cae entre medio de dos fuentes de corriente del DAC se producen espurios a la salida del DDS. El DDS debe convivir con estos problemas, lo importante es que estén acotados y su magnitud se encuentre muy por debajo de la portadora o señal útil.

Sobre las características y prestaciones

Se resumirán ahora algunas características y especificaciones que habrá que interpretar a la hora de recurrir a la hoja de especificaciones de un DDS.

Compliance de salida

Se refiere al comportamiento de la máxima tensión de salida del DAC capaz de conservar las especificaciones (Output Compliance). En otras palabras, pueden (pero no deben) generarse valores superiores de tensión a la salida del DAC pues en tal caso el dispositivo dejaría de cumplir las especificaciones del fabricante.

Distorsión armónica total

Este parámetro denominado THD (Total harmonic Distortion) es el cociente entre el valor eficaz de la sumatoria de armónicos al valor eficaz de la frecuencia fundamental, así se tiene la Expresión (7).

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

Donde V_1 es la amplitud eficaz de la fundamental y V_i son los valores eficaces de los correspondientes armónicos con $i = 1 \dots 6$.

SNR

La señal "S" es la magnitud en valor eficaz de la "portadora" o fundamental generada. Por su parte se considera ruido "N" al valor eficaz de la sumatoria de todas las señales no fundamentales hasta $f_{CLK}/2$, excluida la componente continua.

De los estudios realizados por (4) surge que la cuantificación, la distorsión armónica, etc., etc., contribuyen a una relación de señal a ruido (en realidad, señal a ruido + distorsión) SNR que viene determinada por la Expresión (8).

$$(8) \quad SNR = 6.02 + 1.76dB$$

En nuestro ejemplo del AD9835 si el DAC fuera ideal la Expresión (8) presentaría un valor de SNR62 dB. En estas condiciones el truncado a R bits de la LUT, véase Figura 2, será determinante en este valor de SNR.

SFDR

El Rango Dinámico libre de Espurios SFDR (Spurious Free Dynamic Range) se refiere a la magnitud del armónico o espurio dominante presente en la banda de interés $S_{p,max}$ que fuera definido teóricamente en la Expresión (5).

A la hora de realizar diseños reales este parámetro dependerá del ancho de banda con el que se quiere trabajar y de $\xi_x = f_x/f_{CLK}$, la frecuencia normalizada de salida respecto de la frecuencia de reloj.

Cabe definir, en primer lugar, la relación SFDR de banda ancha que significa la magnitud del espurio o armónico de mayor nivel relativo a la magnitud de la portadora o frecuencia fundamental, en un ancho de banda de ± 2 MHz alrededor de la frecuencia fundamental.

En segundo término, se define la relación SFDR de banda estrecha que indica la atenuación del espurio de mayor magnitud o armónico en un ancho de banda de ± 50 kHz alrededor de la frecuencia fundamental.

Transalimentación del reloj

En cierta medida el reloj (CLK o MCLK) se "cuela" a través del dispositivo y aparece atenuado en magnitud sobre la salida analógica del DAC. Este mecanismo se puede denominar trans-

alimentación (feedthrough) y se lo especifica como la magnitud de la señal del CLK relativa a la frecuencia fundamental del espectro de salida. Por ejemplo, las especificaciones del AD9835 fijan este parámetro en el orden de los -60 dB.

Curvas y respuestas

En las curvas facilitadas por los fabricantes, por ejemplo, en la Figura 9 (Arriba) se muestra la respuesta para una portadora de 11.1 MHz correspondiente al AD9835, con una frecuencia de reloj (MCLK) de 50 MHz. Surge de la gráfica una separación en amplitud entre portadora y espurios de no más de 50 dB. Cuando se da un valor $SFDR = -72$ dBc, por ejemplo, debe especificarse la frecuencia normalizada ξ_x tal como se hace en la hoja de datos del AD9835. En la figura también se especifica la palabra en hexadecimal que sintoniza la frecuencia especificada.

En la Figura 9 (Abajo) se muestra, para el AD9835, la relación SNR en función de la frecuencia normalizada para 3 diferentes frecuencias de reloj:

$$\xi_x = f_x/f_{CLK}$$

Nótese que en dicha figura MCLK (master clock), es simplemente el reloj, nuestro CLK.

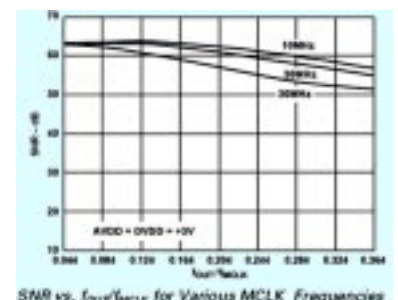
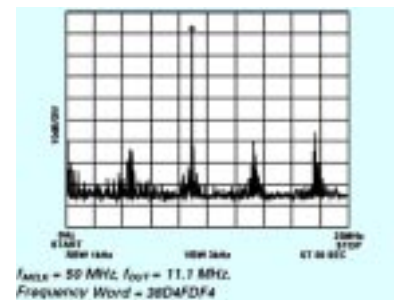
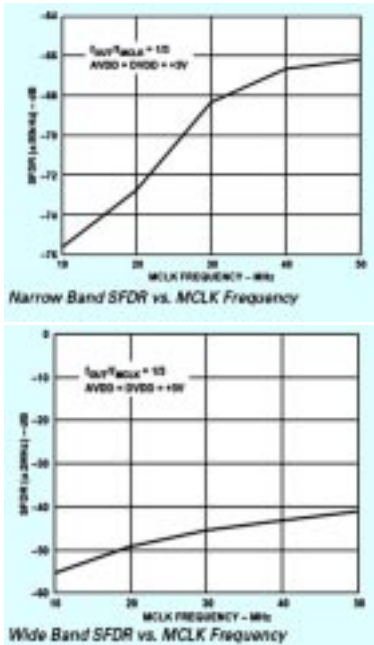


Figura 9. Comportamiento del AD9835
Arriba. Portadora y Espurios; Abajo. SNR dB

Figura 10. SFDR en función de la frecuencia de reloj (MCLK)



da ancha (Abajo). En la Figura 10 se observa que, obviamente, la situación es mucho más desfavorable a medida que crece el ancho de banda de ± 50 kHz a ± 2 MHz. Por ejemplo, para un reloj de 50 MHz con un ancho de banda de ± 50 kHz, alrededor de la portadora, tenemos una separación de amplitud entre la portadora y el espurio dominante de unos -67 dB, mientras que para un ancho de banda de ± 2 MHz esta separación es de sólo -40 dB.

Ejemplo de realización

Para completar este trabajo, en la Figura 11 se muestra un generador sinusoidal de señales entre 100 kHz y 20 MHz que diseñáramos para la unidad frontal de recepción DRM⁽¹²⁾ publicado en la Revista Española de Electrónica, N° 602.

El diseño se presentó con un oscilador de cristal GXO de 50 MHz y un separador MC1489M para conectar el dispositivo a un PC a través del puerto serie utilizando un conector hembra Sub D9.

Figura 12 Temporización para el control de frecuencia del DDS

Para concluir este párrafo, se muestra en la Figura 10 el comportamiento de nuestro DDS, en lo referente al SFDR en función de la frecuencia de reloj (MCLK) para banda estrecha (Arriba) y para banda

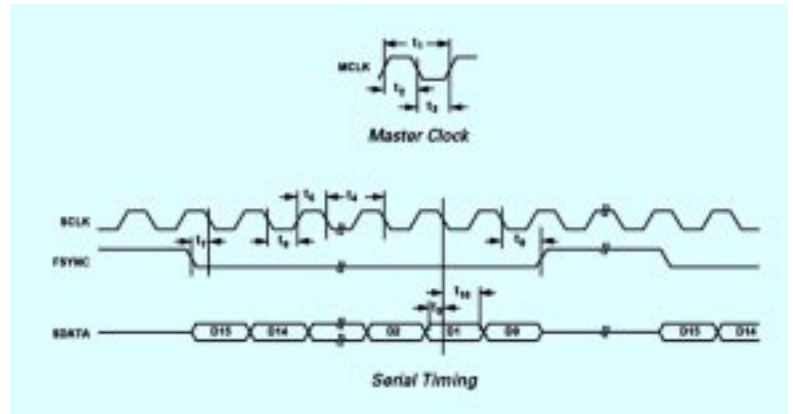
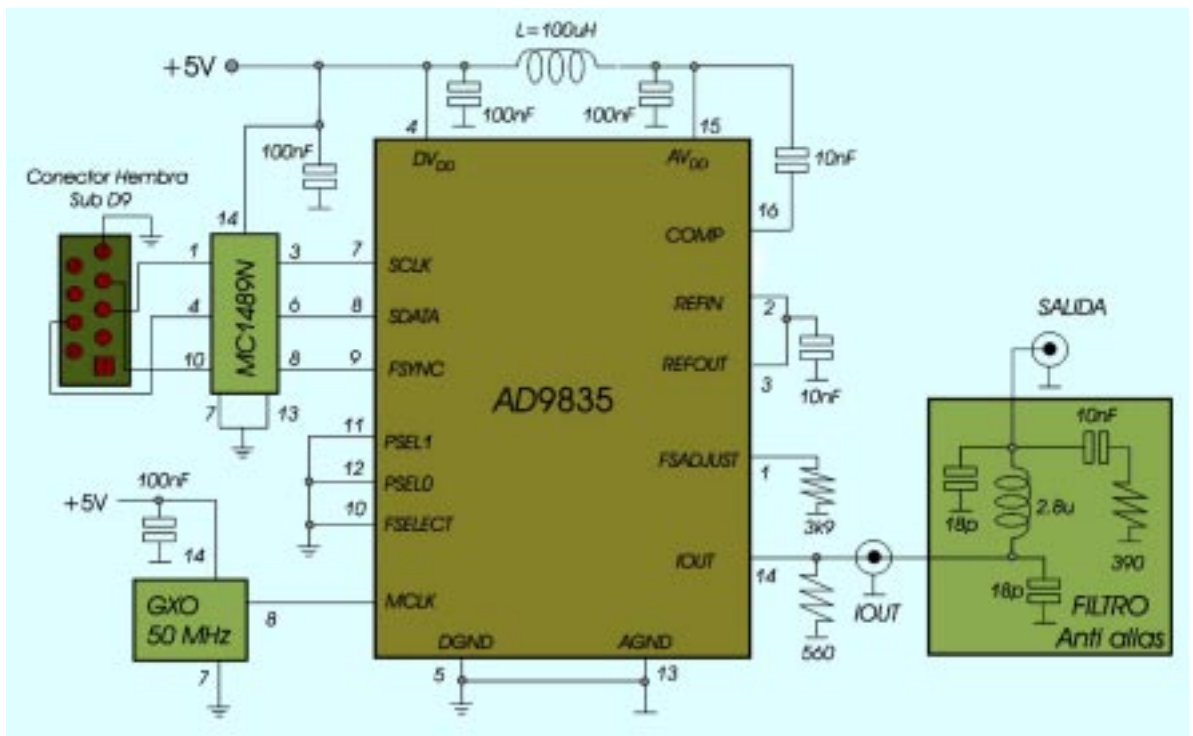


Figura 11. Configuración del AD9835 como generador sinusoidal



Se ha diseñado un filtro pasivo antialias con el corte por encima de la máxima frecuencia que se desea generar, 20 MHz en este caso. Se ha tratado de reforzar de forma gradual, dentro de lo que cabe, la parte más alta del espectro útil a fin de paliar en algo la caída de amplitud inherente al DDS al aumentar la frecuencia. El control de frecuencia (sintonía) se realiza a través de los pines 7, 8 y 9 del AD9835 actuando sobre las entradas 1, 4 y 10 del MC1489M y la temporización serie, Figura 12, ha sido extractada de la hoja de datos del AD9835.

Con estos datos de temporización se puede realizar el programa de control de frecuencia (sintonía) en Visual Basic.

Conclusión

Se han introducido las bases del sistema de Síntesis Directa de Frecuencia. La arquitectura ha sido desarrollada sobre la

base del circuito integrado AD9835. El funcionamiento de los principales bloques ha sido motivo de análisis, sin entrar en los detalles más sofisticados. Se ha puesto el énfasis en las prestaciones y en las características. Respecto de los problemas que se presentan se han comentado las posibles soluciones. Finalmente se ha presentado un ejemplo de generador senoidal sobre la base del DDS AD9835. Los programas de sintonía se dejan para un posible próximo artículo.

Bibliografía

(1) Sigfredo Pagel y otros.- Diseño de una unidad frontal de RF para recepción digital en DRM.- Revista Española de Electrónica.- Nº 602.- Enero 2005.- (2) Analog Devices DDS Tutorial.- 1999. (3) A Technical Tutorial on Digital Signal Synthesis.- Analog Devices.- 1999. (4) P. O'Leary and F. Maloberti.- A direct digital-synthesizer with Improved spectral Performance.- IEEE Trans. Comm.- Vol. 39.- no. 7.- pp. 1046-1048.- July 1991. (5) H. T. Nicho-

las, and H. Samuelli.- An Analysis of the output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation.- 41st Annual Frequency Control Symposium.- pp. 495-502.- 1987. (6) V.v Kroupa.- Spurious Signals in Direct Digital Synthesizers Due to the Phase Truncation.- 1999 Joint Meeting EFTF - IEEE IFCS.- pp. 1138 - 1141. (7) H. T. Nicholas, H. Samuelli, and B. Kim.- The Optimization of the Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects.- Proceedings of the 42nd Annual Frequency Control Symposium 1988.- pp. 357-363. (8) Walt Kester.- Basic DAC Architectures II: Binary DACs.- Analog Devices. (9) Albert Paul Malvino.- Digital Computer Electronics.- McGraw Hill.- Gregg Division.- USA.- 1983. (10) Clemens M. Hammerschmied et al.- "Design and Implementation of an Untrimmed MOS-FET-only 10-bit A/D converter with -79 dB THD.- IEEE Journal of Solid State Circuits, Vol. 33, No 8, pp. 1730-1735, Dec. 1993. (11) Hong-wei Wang et al.- High Speed CMOS Digital to Analog Converter with Linear Interpolator.- IEEE Transactions on Consumer Electronics, Vol 46, No 4, pp. 1137-1142, November 2000. (12) Sigfredo Pagel.- Diseño de Receptores de HF.- Tórculo Ed., info@edicionstorculo.com.- S. de Compostela.- 2006.