

# µC 16LX con memoria Flash integrada de lectura / escritura simultánea

Dpto. Técnico de Sagitrón

Más información en:  
[http://www.sagitron.es/data\\_sheet/CAN/fujitsu\\_bus\\_can.pdf](http://www.sagitron.es/data_sheet/CAN/fujitsu_bus_can.pdf)

*Sagitrón, distribuidor de Fujitsu Microelectronics Europe (FME), anuncia un nuevo microcontrolador 16LX para complementar su cartera de microcontroladores con interfaz CAN.*

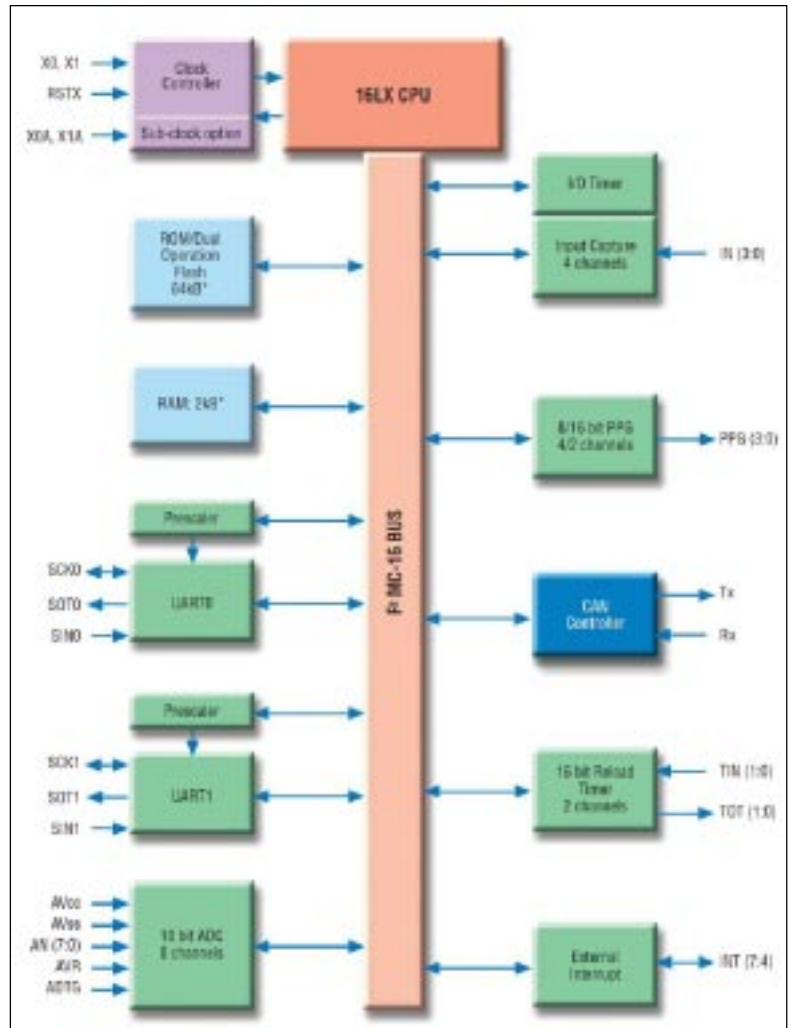
Este producto se ha diseñado para aplicaciones de confort y control de carrocerías en automoción. El producto proporciona características de seguridad y confort al pasajero y al conductor: aire acondicionado automático, control de luces, control de asientos y sistemas de sensores.

Sobre la pequeña huella de un encapsulado de 48 pines QFP de unos 7mm cuadrados, se incorpora el núcleo de la CPU 16LX y periféricos como temporizadores, PWM de 4 canales, 2 UARTs, convertidor A/D así como una memoria Flash de 64 KB y una RAM de 2KB. Algunas E/S presentan niveles de puerto programables, además de los niveles TTL y C-MOS, los niveles de automoción con  $V_{IL} = 0,5 \cdot V_{cc}$ . Esta es una característica crítica ya que los niveles de tierra en los vehículos a menudo muestran variaciones de varios volt.

El nuevo dispositivo de Fujitsu, el MB90F897 se puede especificar para que opere a 125°C y es compatible en pines a las series MB90385 y MB90455. La compañía ofrece ahora más de 50 productos diferentes del núcleo 16LX con CAN.

Las capacidades del núcleo de Fujitsu están creciendo en tecnología Flash embebida desde la introducción en 1997 del primer microcontrolador de 16-bits con tecnología Flash monotensión y con 10K ciclos de escritura y borrado. Las recientes especificaciones con hasta 100K ciclos de escritura y borrado, así como las últimas especificaciones para operación a altas temperaturas subrayan que el proceso tecnológico ha conseguido un alto nivel de estabilidad.

Con la nueva tecnología Flash de operación dual, se heredan estas



características y se expande la funcionalidad: permite emulación de EEPROM rápida y autoprogramación fiable ya que la macro Flash de 64 KB está dividida en dos bancos. En cada uno de los bancos de memoria Flash, las operaciones de escritura, lectura y borrado se pueden hacer por separado.

El banco más pequeño consiste en 4 sectores de 4KB cada uno. Cualquier sector se puede borrar individualmente. La Flash se puede escribir en unidades de una palabra.

Las memorias convencionales Flash requieren que la CPU ejecute código desde la memoria RAM mientras que el contenido de la Flash se

actualiza, por ello mientras se reprograma puede ocurrir que no haya lectura de la Flash.

En operaciones duales, el programa de ejecución de la Flash continúa en un banco mientras que en el otro se puede estar actualizando la información.

La funcionalidad EEPROM implementada sobre Flash interna tiene muchas ventajas frente a ICs EEPROM externos, permitiendo mayor flexibilidad de control de memoria y mayor velocidad de escritura/lectura que con EEPROMs separadas. A menudo esta funcionalidad hace a las EEPROM externas redundantes - lo que reduce la



complejidad de la PCB y de la huella. Siempre se prefiere la memoria interna cuando hay que proteger el contenido de la memoria de posibles manipulaciones. Se puede escribir una palabra en la memoria Flash en tan solo  $16\mu\text{s}$ , lo cual es mucho más rápido que escribir en una EEPROM externa convencional (que puede tardar  $50\mu\text{s}$ /palabra).

Muchas aplicaciones con microcontroladores Flash necesitan una actualización mediante software ejecutado por la CPU (autoprogramable). La ventaja de Flash con operatividad dual es que la CPU puede operar siempre en un banco de memoria mientras que el otro banco se está reescribiendo. Este concepto permite soportar eventos

como interrupciones o reseteo durante la reprogramación. Los vectores de interrupción normalmente se sitúan en el sector más alto de la parte superior del banco. Aun así, durante la programación no se puede acceder al banco superior. Por ello, se suministra un registro especial que cambia los vectores de interrupción internos al sector más alto del banco bajo, lo que permite servicios de interrupción durante la escritura y borrado. La detección del final de escritura ó borrado se puede conseguir por interrupción. Esto incrementa el rendimiento del sistema.

El Vector Reset es fijo y no permite modificaciones, apuntando a  $0\text{xFFE}000$  para asegurar un procedimiento de reseteo en cualquier momento. Para prevenir escritura o borrado accidental, se proporciona un registro especial que permite habilitar o proteger la escritura. Se puede proteger cada sector individualmente. Una vez que un sector este protegido sólo se podrá quitar la protección encendiendo de nuevo o con un reseteo externo. □