Verificación eléctrica de memorias DDR

Por Trevor Smith

Trevor Smith es director de desarrollo del mercado de osciloscopios de Trektronix Inc.
Traducido y adaptado por Juan Ojeda de AFC Ingenieros S.A. (jojeda@afc-ingenieros.com)

.Prácticamente todos los dispositivos electrónicos utilizan algún tipo de memoria RAM. Las memorias SDRAM son las de tecnología dominante para la mayoría de los tipos de ordenadores y productos basados en ordenadores. Las memorias DDR o SDRAM de doble velocidad de datos se han convertido hoy en día en la tecnología de memorias elegida. Esta tecnología ofrece una buena combinación de velocidad y capacidad, potencia disponible y tamaño físico a un costo por bit relativamente bajo.

En tanto que la velocidad de transferencia de datos se incrementa con cada nueva generación, la integridad de la señal analógica del subsistema de memoria se ha convertido en un espacio de cada vez mayor atención para los diseñadores que deben garantizar los márgenes del rendimiento del sistema o garantizar la interoperabilidad de la memoria y los dispositivos de control de memoria dentro de un sistema. Muchos problemas de rendimiento, incluso los que se encuentran en la capa de protocolo, pueden indicar problemas de integridad de la señal. Por ello, es importante hacer la verificación analógica de los dispositivos de memoria como un paso crítico en la validación de muchos diseños electrónicos.

Para validar los dispositivos de memoria especificados por JEDEC (Joint Electron Device Engineering Committee) se requieren pruebas de sincronización, jitter y de la calidad eléctrica de la señal. En las especificaciones de la organización JEDEC se incluyen parámetros tales como el jitter del reloj, los tiempos de "Setup&Hold", el sobreimpulso positivo y negativo de la señal, las tensiones transitorias, etc. Pero las pruebas de rendimiento en conformidad con las especificaciones presentan muchos desafíos que pueden ser complejos y lentos superar. Disponer de las herramientas y técnicas correctas puede reducir significativamente el tiempo de prueba y asegurar unos resultados más precisos. Este artículo tratará sobre los métodos de realización de pruebas sobre memorias que simplifican el proceso de validación.

Acceso a las señales y sondas para señales analógicas

Uno de los primeros obstáculos es el acceso y la adquisición de las señales necesarias. Las normas de JEDEC especifican que las medidas deben hacerse en los contactos de tipo bola BGA (Ball Grid Array) de los componentes de las memorias. Dado que los componentes FBGA incluyen diversas conexiones de soldadura de tipo bola que son inaccesibles, ¿cómo puede lograrse esto?

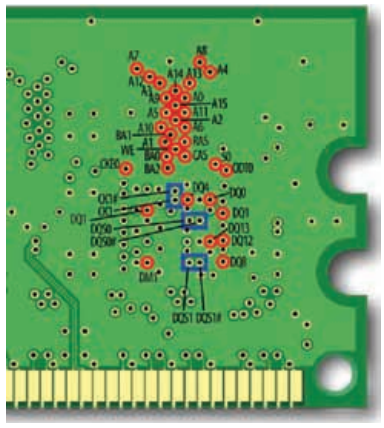


Figura 1. Puntos de prueba en las pistas de la parte trasera de DDR3 DIMM.

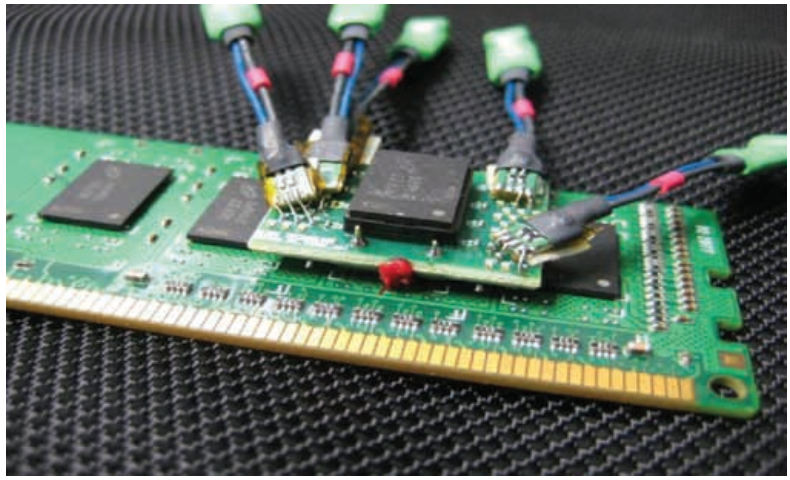


Figura 2a. "Interposer" del componente con puntas de soldadura.

Una solución es incluir pistas en la placa (PCB) directamente debajo de los componentes de memoria y conectar las sondas en la parte posterior de la placa. Aunque estos puntos de prueba no están estrictamente "en los terminales de tipo bola de los componentes", la integridad de la señal con este método es bastante bueno y la validación eléctrica se pueden realizar con márgenes de prueba aceptables.

Aunque es posible el uso de sondas de mano para este tipo de aplicaciones, mantener al mismo tiempo un buen contacto eléctrico entre las múltiples puntas de las sondas y los puntos de prueba puede ser difícil, por ello la opción de utilizar sondas conectadas mediante soldaduras es una alternativa mucho mejor. Las puntas de prueba con prolongación mediante cables "micro-coaxiales" y puntas soldadas proporcionan una solución económica con una excelente fidelidad de la señal y un ancho de banda suficiente para probar los dispositivos de memoria más rápidos, incluyendo hasta las memorias DDR3@1600 MT/s.

El acceso a través de las pistas de la parte trasera puede no ser siempre una opción. Las limitaciones de espacio en la parte trasera de los componentes de memoria puede impedir la colocación de puntos de prueba.

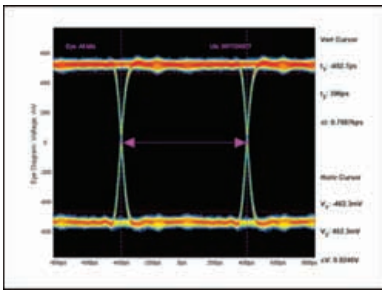


Figura 2b. Diagrama de ojo de la señal probada.

Muchas memorias DIMMs (Dual In-line Memory Module) tienen ahora componentes de memoria "back-to-back" a ambos lados de la placa para aumentar la densidad de almacenamiento. ¿Cómo puede el ingeniero de pruebas acceder a los puntos de prueba en este escenario?

Afortunadamente, ahora hay soluciones de colocación de sondas para incluso cualquier situación. Los "interposers" están disponibles para memorias DDR3 estándar y para los dispositivos de memoria DDR2. Éstos utilizan un zócalo que se suelda sobre el dispositivo objetivo en lugar del componente de memoria. El "interposer", que tiene puntos de prueba para las sondas, se encaja entonces en su lugar en el zócalo y el componente de memoria se adhiere a la parte superior.

Las pequeñas resistencias de aislamiento están integradas dentro del "interposer", lo más cerca posible a los terminales de tipo bola BGA del componente de memoria. Estas resistencias se acoplan a la red eléctrica de la punta de la sonda, garantizando una excelente fidelidad de la señal. El diagrama de ojo de la figura 2 se hizo con un "interposer" montado sobre una memoria DDR3-1333 DIMM.

Sondas para señales digitales

Los osciloscopios de señales mixtas (MSO) de altas prestaciones suelen combinar cuatro canales analógicos con hasta dieciséis canales digitales. Los canales analógicos pueden ser utilizados para observar las señales de reloj, mientras que los canales digitales se utilizan para controlar el bus de señales de control de las memorias DDR y de las líneas de dirección.

Al igual que con las sondas analógicas, las sondas digitales incluyen diversos accesorios de soldadura para acceder a los puntos de prueba más difíciles. Se debe tener cuidado para minimizar el impacto que ocasionan los propios equipos de prueba en las medidas. Los núcleos de ferrita en la punta de las sondas reducen las reflexiones en la línea. Se debe mantener la longitud de los cablecillos a lo estrictamente necesario para que la conectividad garantice la fidelidad de la señal.

Captura de las señales

Una vez que se han colocado las sondas sobre las líneas de las señales, el siguiente paso consiste en aislar los eventos de interés en el bus de memoria. Para depurarlo, puede ser necesario aislar ciertos eventos de un rango o de un banco de memoria en particular o aislar patrones de datos específicos para llevar a cabo el análisis de los problemas de la integridad de la señal, tales como el jitter dependiente de los datos, la sincronización o los problemas de ruido.

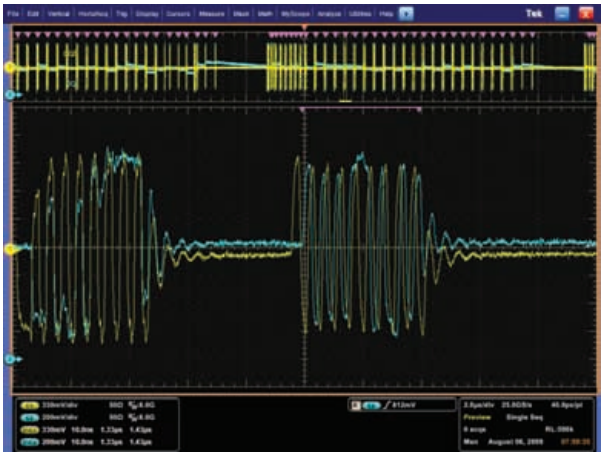
Hay varios métodos que pueden utilizarse para identificar y aislar las ráfagas de datos de lectura y escritura u otras condiciones del bus. Uno de los métodos más simples es utilizar la señal "DQS" o "Data Strobe" para identificar el comienzo de la ráfaga de datos de lectura o escritura. Por ejemplo, la memoria DDR3 siempre pone la señal "DQS" a nivel alto al inicio de una escritura o a nivel bajo al inicio de una lectura. El hardware de disparo del osciloscopio tiene la capacidad de disparar sobre esta parte del preámbulo de la ráfaga y garantizar que sólo se capturarán las lecturas o las escrituras al comienzo de la forma de onda adquirida.

Calificación de las lecturas y escrituras con "Advanced Search & Mark"

Las herramientas proporcionadas por "Advanced Search & Mark" (ASM) que están disponibles en los osciloscopios de las series DPO/DSA70000 y MSO70000 de Tektronix, permiten explorar las formas de onda completas adquiridas y buscar en ellas diversas condiciones seleccionadas por el usuario. Una de las condiciones disponibles es la de identificación de lectura/escritura de una memoria DDR; con la herramienta ASM se encontrarán todas las ráfagas de lectura o escritura registradas en memoria tras una adquisición del osciloscopio y cada ráfaga quedará marcada con una marca visible en la pantalla.

Además de utilizar estas marcas para el análisis visual, el osciloscopio puede aplicar las marcas como calificadores para medidas específicas de las memorias DDR, de modo que la medida se produce sólo en la parte adecuada del flujo de datos. En la figura 3, la herramienta ASM ha marcado todas las ráfagas de escritura con símbolos triangulares de color rosa que aparecen sobre la forma de onda y en la ventana de zoom se puede ver una sola ráfaga de escritura ampliada.

Figura 3. Uso de la función de "búsqueda y marcado avanzado" (Advanced Search & Mark) para identificar todas las ráfagas de escritura.



Disparo por calificación del bus

Los recientes osciloscopios de señales mixtas ofrecen muchas opciones para calificar la captura de la señal utilizando el estado de las líneas de comando y de control del bus de memoria.

Los comandos de las memorias SDRAM se sincronizan con el flanco de subida del reloj de la memoria (CK). Las cuatro señales de comando son: chip select (S0# ó CS#), selección de la dirección de la fila (RAS#), selección de la dirección de la columna (CAS#) y habilitación del modo de escritura (WE#). El símbolo # indica que las señales están activas cuando su nivel es bajo. La verificación de los comandos de memoria requiere que el MSO conecte su sondas a cinco señales: CK, S0#, RAS#, CAS# y WE#, además de adquirir las señales pertinentes de datos (DQ) y Strobe (DQS).

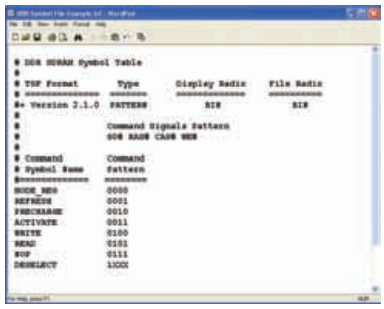
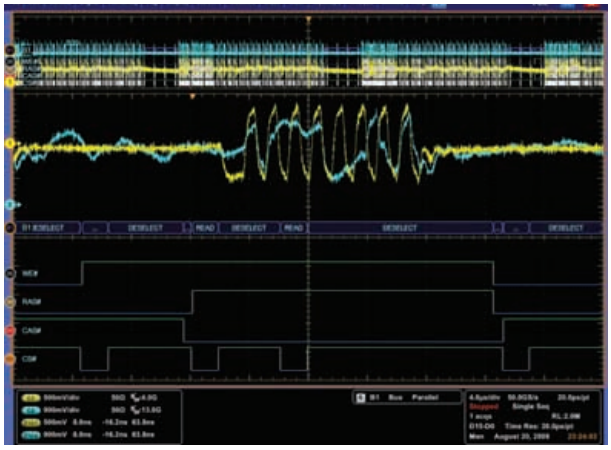


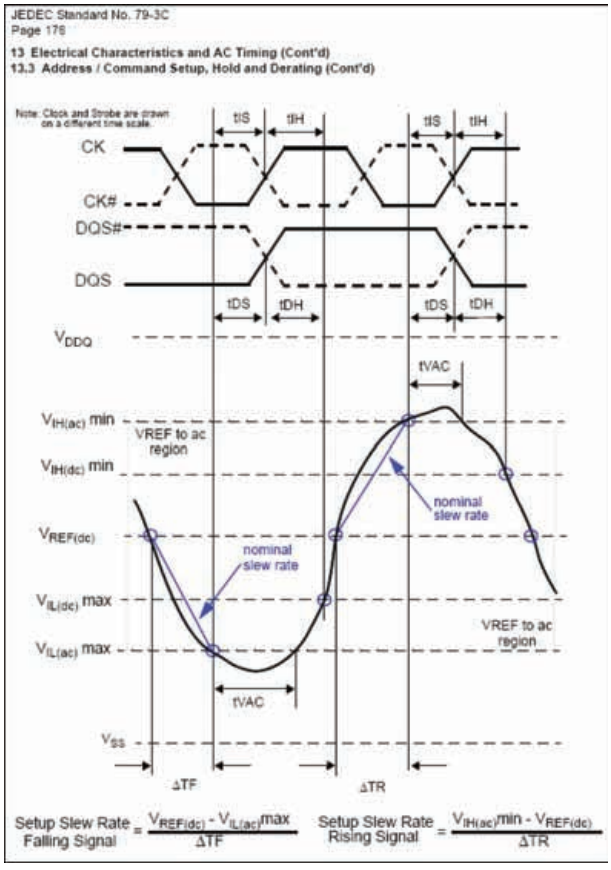
Figura 4. Ejemplo de archivo de símbolos de una memoria DDR.

Figura 5. Descodificación de los comandos de un bus de una memoria DDR3 con un osciloscopio de la serie MSO70000.



En el menú de canales digitales del MSO las señales de los 5 comandos: CK, S0#, RAS#, CAS# y WE# - se asignan a los canales donde están aplicadas las sondas.

Figura 6. Medida de la velocidad de transición (Slew Rate) - Método "nominal" para DDR3.



El comando "Active Row" es el primer comando de la secuencia de comandos de lectura o escritura. Para disparar el MSO sobre le comando "Activate Row", se debe configurar el MSO para disparar sobre un grupo de comandos igual a "0011". Esto es S0#= 0, RAS#= 0, CAS#= 1# y WE#= 1. El trato con valores binarios como 0011 puede conducir con frecuencia a errores. El MSO puede trabajar con los datos en varios formatos: binario, hexadecimal, y simbólico. Se pueden usar ficheros con símbolos de patrones cuando un grupo de señales definen un estado lógico, como el grupo de comandos de las memorias SDRAM.

Realización de JEDEC - Medidas de conformidad

Las especificaciones de la organización JEDEC (Joint Electron Devices Engineering Council) para cada tecnología de memoria incluyen parámetros tales como el jitter del reloj, los tiempos de "Setup&Hold", las tensiones de la transición, los sobreimpulsos positivos y negativos la señal, la velocidad de transición y otras pruebas de la calidad eléctrica. Estas pruebas que se especifican no sólo son numerosas, sino que también pueden ser difíciles de medir con herramientas de propósito general.

Un ejemplo son los niveles de referencia de medida; la organización JEDEC especifica unos niveles determinados de tensiones de referencia que se deben utilizar cuando se hacen medidas temporales. Otro ejemplo es la medida de la velocidad de transición; esta medida debe realizarse sobre las señales de datos, "Strobe" y control y se utiliza a continuación para calcular los ajustes de los límites pasa/no pasa en las medidas temporales, tales como los tiempos de "Setup&Hold".

Para administrar el complejo conjunto de medidas especificado por la organización JEDEC, puede ser muy valioso disponer de una utilidad de medida específica para la aplicación en el caso de las pruebas sobre memorias DDR. El uso de tal herramienta aseguraría que las medidas estuviesen configuradas correctamente y eliminaría las muchas horas de configuración que serían necesarias si se utilizasen solo herramientas de propósito general.

Software de análisis de memorias DDR

El amplio conjunto de medidas de la organización JEDEC puede ser automatizado, como por ejemplo, utilizando la opción DDRA de los osciloscopios de tiempo real de la serie 70000 de Tektronix. La opción DDRA trabaja con otros dos paquetes de software de los osciloscopios de Tektronix, la opción ASM (descrita anteriormente) y la DPOJET dedicada a medidas de jitter y al análisis de los diagramas de ojos. Estas tres utilidades juntas crean un conjunto potente, flexible y fácil de utilizar para la prueba y depuración de las memorias DDR.

La interfaz de menú de la opción DDRA tiene cinco pasos que guían al usuario a través de un proceso de selección. En el primer paso el usuario selecciona la generación de DDR que se va probar (DDR, DDR2, etc) y el grado de velocidad de la memoria. Una vez que la generación y la velocidad de datos se han seleccionado, la opción DDRA configura automáticamente las referencias de tensión adecuadas para las medidas.

El paso 2 permite al usuario seleccionar qué medidas se van a llevar a cabo. Las medidas realizadas en la línea del reloj se han agrupado en un menú desplegable "Clock". Las medidas de las lecturas, las medidas de las lecturas y las medidas direcciones/comandos están agrupadas de manera similar en sus correspondientes menús desplegables a fin de que todas las medidas que requieran una configuración particular de las sondas se puedan seleccionar fácilmente cuando se ejecuta una sola prueba.

Los pasos restantes 3, 4 y 5 en el menú de DDRA guían al usuario en cuanto a cómo se deben probar las señales y ofrecen oportunidades para la personalización o el ajuste de parámetros tales como los niveles de referencia de la medida. Una vez completada la configuración y cuando el usuario selecciona <Run> el osciloscopio adquirirá las señales de interés, identificará y marcará las ráfagas de datos y hará las medidas seleccionadas. Cuando se miden ráfagas de datos, el software genera automáticamente un diagrama de ojo que muestra tanto DQ y DQS de forma superpuesta para mostrar el tiempo relativo. El panel de resultados "DDRA" muestra todos los resultados de las medidas con su población estadística, los límites de las especificaciones, los resultados pasa/no pasa y otros datos.

Análisis y depuración de fallos

Debido a que todos los datos capturados de la forma de onda están disponibles tras los resultados de la medida, hay muchas opciones disponibles para el usuario más allá de los propios resultados. Si una medida no cumple con los límites especificados, es posible identificar exactamente donde se produjo el error dentro del registro de la forma de onda y a continuación ampliar la región de interés para investigar los detalles de la señal y las características exactas en el momento del fallo. Las herramientas de software hacen que sea fácil el análisis de los datos capturados y la identificación de las regiones de interés. Por ejemplo, el histograma que se muestra en la figura 7, se puede aplicar a cualquier medida de interés, mostrando los valores de las medidas en el caso peor (en este ejemplo se ha aplicado a una medida de configuración). Hay disponibles varios tipos de gráficos.

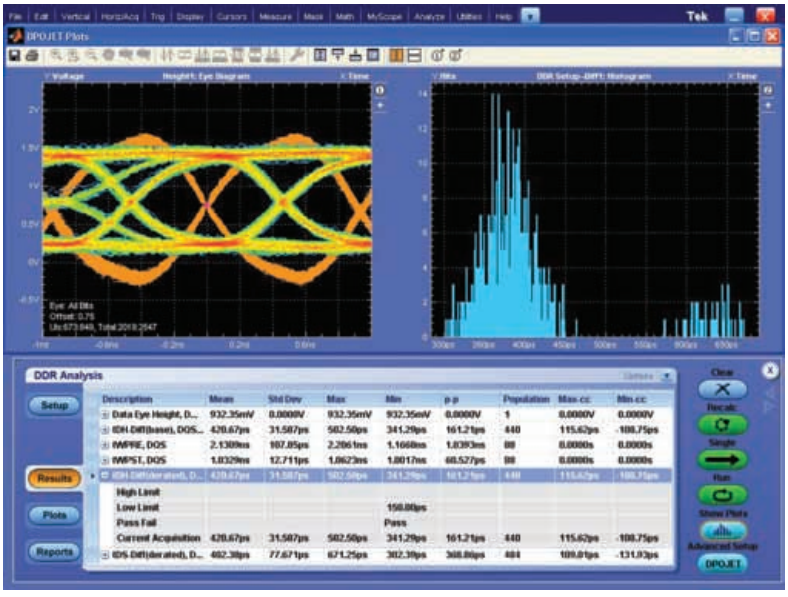


Figura 7. Pantalla de los resultados obtenidos de una memoria DDRA mostrando dos de los gráficos disponibles.

Verificación de las operaciones de comando y protocolo

La secuencia del protocolo para una operación de escritura de una memoria SDRAM comienza con el comando "Activate" seguido de uno o más comandos de escritura (Write). El comando "Activate" con su dirección de fila y banco abre una fila específica dentro de un banco determinado para escribir y leer. El comando "Write" con su dirección de fila y banco abre una fila específica dentro de un banco determinado para escribir. Sería un error de protocolo para el comando "Write" intentar el acceso a un banco que no tiene filas abiertas. Después del comando de escritura (Write), la memoria espera un ciclo de memoria definido para que el centro de control de la memoria escriba datos en ella. La fila debe ser cerrada o desactivada con un comando de precarga cuando se completa la escritura para la fila abierta y se va a acceder a otra fila. La secuencia de comandos de protocolo más simple de una memoria SDRAM-DDR2 es: "Activate", "Write" y "Precharge". Una secuencia de de escritura-escritura consecutiva es: "Activate", múltiples "Write" y "Precharge". Una secuencia de escritura-lectura es. "Activate", "Read" y "Precharge". Se puede realizar cualquier orden de escrituras y lecturas en una fila abierta. Sería un error de protocolo de la memoria DRAM DDR2 si la central de control de la memoria enviase dos comandos "Write" seguidos sin el comando "Deselect" entre ellos. La memoria DRAM-DDR2 responderá al comando de escritura mediante la habilitación (Strobed) de la lectura de los datos ordenada por la central de control de la memoria.

Además de la verificación completa de los ciclos de operaciones de lectura o escritura hay otras tareas importantes de verificación que deben realizarse, entre ellas se incluyen:

Las pruebas funcionales básicas

Durante la inicialización del sistema prototipo, una comprobación rápida de las líneas del reloj, reset y PLL ayuda a identificar los problemas clave que pueden propagarse a otros subsistemas. La utilización de las sondas mediante "navegador" o a mano es útil cuando las sondas se mueven de un punto a otro durante la comprobación de los "signos vitales".

La gestión de la alimentación y de otros modos especiales de funcionamiento

Cuando el bus entra y sale de los estados de alimentación, ciertas líneas pueden llegar a estar inactivas o volver a estar activas. Es necesario tener cuidado y poner atención; ya que, estos estados adicionales añaden complejidad a la interoperabilidad del sistema. Por ejemplo, en el caso de DDR2 (LPDDR2) de baja potencia, los dispositivos incorporan técnicas avanzadas de gestión de la alimentación, tales como "Partial Array Self Refresh", permitiendo que sólo las partes necesarias de la matriz de memoria mejoren su eficiencia y consumo de potencia.

Nivelación de la Escritura/Lectura

El incremento del ancho de banda de la fuente de los buses síncronos puede ser difícil si solo se utiliza el escalado de la velocidad de los datos. Sin embargo, se puede lograr un ancho de banda mayor con innovadoras técnicas de diseño de la capa física. Las memorias DDR3 soportan la topología "fly-by" en la que las señales del controlador de memoria llegan a cada componente de la memoria de forma secuencial, reduciendo así la carga y mejorando la integridad de la señal en general. Debido a los retardos eléctricos entre cada componente del controlador de memoria es necesario realizar una calibración del retardo para realinear el reloj con los datos de cada componente. El hecho de que se garantice que el funcionamiento de esta operación es apropiado ayuda a reducir los retardos de propagación entre el reloj y las señales de habilitación (Strobes) proporcionando así un margen adicional de seguridad para el sistema de memoria.

Figura 8. Cualquiera de los dieciséis canales digitales puede ser multiplexado a través del camino de la señal analógica del osciloscopio proporcionando así una representación digital y analógica simultánea de la señal de interés.

Márgenes de las señales DQ/DQS

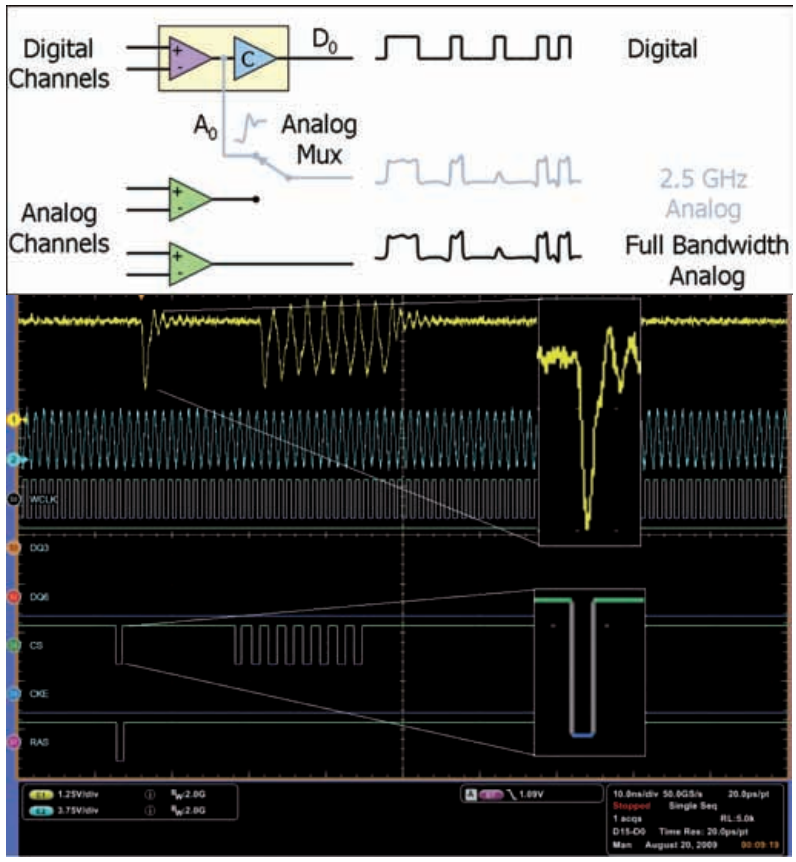
Como se mencionó anteriormente, la organización JEDEC describe muchas de las medidas requeridas por las normas de conformidad. Los diseñadores de silicio y de componentes van más allá de la evaluación de las pruebas básicas de los parámetros para comprender y caracterizar el diseño dentro de un rango de procesos, tensiones y temperatura. Un ejemplo común consiste en variar las tensiones de las líneas Vref o Vdd y monitorizar las líneas de datos (DQ) y de habilitación (Strobe) (DQS) para comprobar la inmunidad al ruido y la sensibilidad.

Combinación de las vistas de las señales digitales y analógicas

Figura 9. La pantalla muestra un ejemplo sencillo de verificación de la línea de Chip Select (CS) en un diseño de GDDR5.

Como se comentó anteriormente hay muchas opciones para acceder a las señales de una memoria DDR, desde puntas de sonda soldadas a los puntos de prueba hasta "interposers". Muchas líneas digitales deben ser supervisadas y a continuación, si se descubre un problema de integridad de la señal, añadir otra sonda para ver la señal en su forma analógica. Esto se conoce como "double probing" (doble colocación de sondas), que puede poner en peligro el entorno de impedancia de las señales. El uso de dos sondas a la vez supone una mayor carga para la señal, degradando los tiempos de subida y bajada del dispositivo, la amplitud y el nivel del ruido.

Los osciloscopios de la serie MSO70000, gracias a iCapture, permiten al usuario ver el comportamiento digital y analógico con correlación temporal, sin añadir una carga capacitiva adicional, ni incrementar el tiempo de preparación requerido por la utilización de dos sondas. Cualquiera de los dieciséis canales digitales puede ser multiplexado a través del camino de la señal analógica del osciloscopio proporcionando así una representación digital y analógica simultánea de la señal de interés. La figura 9 muestra un ejemplo sencillo de verificación de la línea de Chip Select (CS) en un diseño de GDDR5. Esto puede ser útil para garantizar que se están utilizando los umbrales lógicos correctos en el muestreo de los datos digitales o para verificar la integridad de la señal con mayor precisión.



Resumen

En este artículo hemos explorado muchos de los retos asociados con las pruebas de las memorias DDR y se han presentado las herramientas necesarias para la validación y la depuración de los diseños de memoria. Para más detalles sobre las pruebas de DDRs visite la página de JEDEC en http://www.jedec.org/ o bien, esta otra http://www.memforum.org/index.asp. En ellas se pueden encontrar las especificaciones detalladas de las memorias DDR, los libros blancos y otros materiales de soporte. Una información adicional acerca de las pruebas de DDRs se puede encontrar en www.tektronix.com/memoria.

www.redeweb.com

El sitio web de Revista Española de Electrónica desde Septiembre de 1997

También somos líderes en Internet
Más de 3 M de visitantes y 1001005 documentos descargados
desde Enero de 2008, así lo avalan.

Datos a 30 de Noviembre dse 2009