

Circuito de bajo coste convierte un reloj en una onda senoidal de baja distorsión

Por Leo Sahlsten, Maxim Integrated Products Inc., Finlandia

Un circuito sencillo y de bajo coste puede ser utilizado para generar señales de audio de baja distorsión a partir del reloj de un sistema digital (Figura 1). Cómo la mayoría de los relojes de los sistemas digitales se derivan de osciladores de cristal, estos relojes pueden producir ondas senoidales estables y precisas.

El método más obvio consiste en dividir la frecuencia de reloj hasta alcanzar las frecuencias de audio deseadas, y a continuación filtrar los armónicos no deseados. Una onda cuadrada con un ciclo de trabajo del 50%, por ejemplo, contiene sólo los armónicos impares (3º, 5º, 7º, etc...), y la amplitud de estos decrece con el aumento de frecuencia. La amplitud del 3er armónico es 1/3 de la

amplitud de la onda fundamental, la del 5º armónico es de 1/5, etc...

Los circuitos de filtrado ofrecen mejores resultados si primero se atenúa el armónico no deseado de mayor amplitud de la señal de entrada. Este trabajo se realiza fácilmente con un contador en anillo (U2) y una red de resistencias que atenúa todos los armónicos por debajo del noveno, en por lo menos 70dB (Figura 2). Para eliminar la mayoría de los armónicos restantes, se utiliza un filtro elíptico paso bajo y de 8º orden, de capacidades conmutadas. La frecuencia de corte de U3 se fija por medio del reloj de entrada en $f_{clock}/100$.

El contador en anillo U1 divide por diez la señal de reloj de entrada, de niveles CMOS. El segundo contador en anillo (U2) también divide el reloj por diez, pero sus salidas se suman por la red de resistencias, para producir una aproximación de onda senoidal en 9 etapas. Esa onda se vuelve a filtrar, mediante U3, lo que atenúa todos los armónicos por debajo del nivel de ruido. La señal de entrada del circuito (clk in) sirve como reloj para U3. Para conseguir la mínima distorsión, la entrada de U3 debería estar polarizada a $V_{dd}/2$ y su señal de entrada atenuada a 2,2V de pico. Esta atenuación se realiza mediante un divisor de tensión de la red resistiva y la resistencia de entrada del CI de filtrado (R5 y R6 en paralelo). Por debajo de 10kHz, el circuito mostrado consigue niveles de distorsión por debajo del 0,01%.

Figura 1. Este circuito de bajo coste deriva una onda senoidal de baja distorsión, de una señal de reloj con un ciclo de trabajo del 50%.

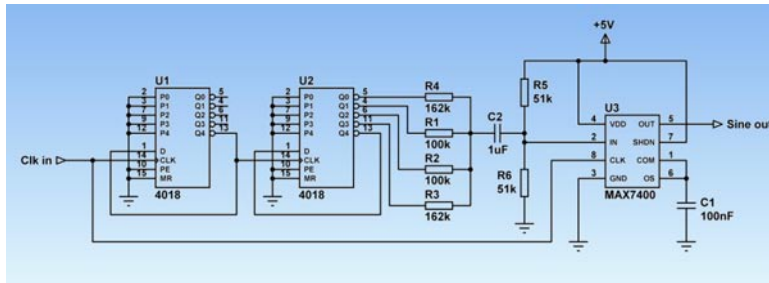


Figura 2. La sencilla red de resistencias en el circuito de la Figura 1 reduce en gran medida la distorsión armónica por debajo del 9º armónico.

