

La nueva familia ProASIC3 de Actel

Por Mir Azartash

Acal Iberia
 www.acaliberia.com
 info@acaliberia.com)

El mundo de las FPGAs llevaba tiempo sin ver modificaciones tecnológicas importantes y/o dignas de mención. Ahora, Actel fabricante líder en innovación tecnológica, acaba de lanzar su nueva familia ProASIC3 basado en tecnología Flash con características muy renovadas que la hacen apta para cualquier tipo de diseño y de cualquier sector, como telecomunicaciones, industrial, militar o automoción.

Actel empezó su andadura con las FPGA's con la tecnología Antifusible (concepto de fundir una unión aplicando la tensión necesaria). Su seguridad, bajo consumo y robustez hacían fundamental su uso en diferentes sectores: industrial, control de motores, militar y espacial. La falta de dispositivos re-programables hacían incomodo su uso en aplicaciones tipo telecomunicaciones, las cuales crecieron de manera vertiginosa durante los años 90 conllevando el rápido crecimiento de las compañías que fabricaban dispositivos basados en SRAM con tecnologías re-programables y coste bajo, aunque no muy optimas para todas las aplicaciones.

Ante esta perspectiva, Actel adoptó la estrategia de invertir en tecnologías Antifusible alternativas, vista la posibilidad de incrementar cota de mercado, tomando ventajas competitivas con sus rivales allí donde la re-programación era imprescindible.

Las familias Antifusibles de Actel presentan capacidades desde pocas puertas hasta 2 millones, estando previsto que, a lo largo del presente año se incremente esta capacidad. Entre las familias antifusibles de Actel son de gran interés las siguientes:

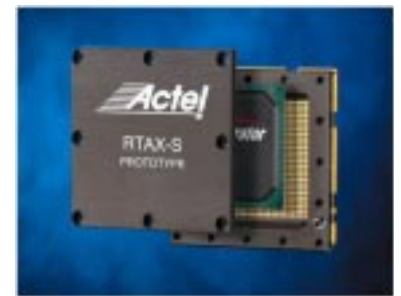
- ex
- XA
- Axcelerator

Las diferentes tecnologías usadas en estas familias permiten la fabricación de dispositivos para aplicaciones que precisen tensiones de alimentación de 5V, 3,3V o 1,5V.

Las principales características de la última familia Axcelerator se muestran en el cuadro adjunto, donde se observa que las velocidades obtenidas en esta familia son considerablemente superiores a las obtenidas con cualquier otra tecnología.

- Grandes mejoras
 - ⇒ 0.15µm, 1.5V - 3.3V compatible
 - ⇒ >500MHz core operation
 - ⇒ LVDS I/O
 - ⇒ 8, 1GHz PLLs
 - ⇒ 8 segmentable, global-clocks
 - ⇒ 64-bit per pin FIFOs
 - ⇒ >500MHz Dedicated FIFO controllers
- Nonvolatile
 - ⇒ Live at power-up
 - ⇒ Small footprint/single-chip
- Low Power
 - ⇒ Low dynamic power
 - ⇒ No current spike at power-up
- Highly Secure
 - ⇒ No bit stream
- Resistant to Soft Errors

La entrada puede ser de cualquier tipo desde captura de esquemáticos hasta VHDL con su adaptación a la tecnología usada y aplicando las reglas de PLACE and ROUTE (Designer) de Actel para ajustar la demanda del diseño al silicio y conseguir el dispositivo más adecuado. La simulación a través de MODELSIM y su síntesis hacen que esta herramienta sea extremadamente completa y autónoma.



Existe una opción adicional llamada Silicon Explorer que permite visualizar los nodos internos, con lo que el usuario, durante la fase de diseño podrá disponer de la máxima información, así como subsanar todos los posibles errores antes de lanzar el producto al mercado.

Figura 1. En la foto aparece un dispositivo de tecnología Antifusible apto para aplicaciones espaciales

El software usado para compilar estos dispositivos consigue mejoras sustanciales, comparandolo con otros software disponibles en el mercado.

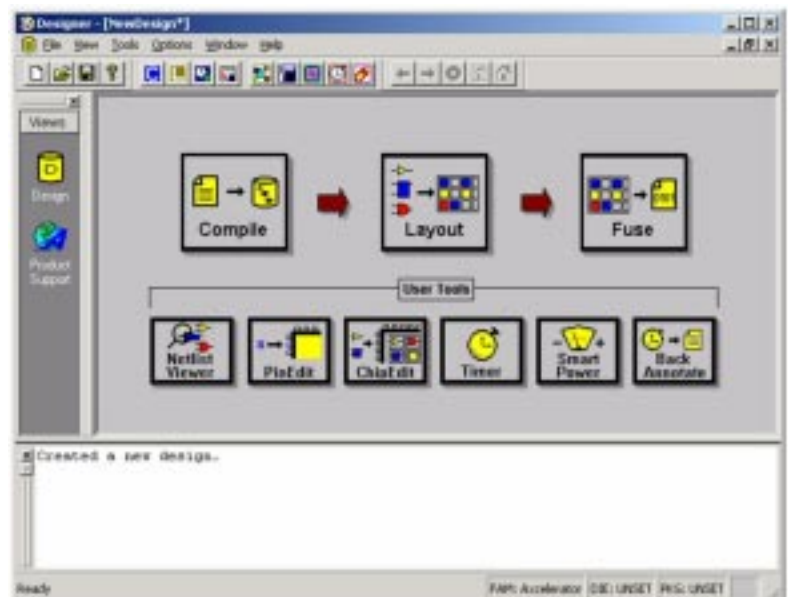


Figura 2. En esta foto aparece una imagen genérica del entorno de trabajo de Actel

¿FLASH? ¿Por qué? y ¿cuales son sus ventajas?

Actel lanzó la primera familia de FPGAs Flash hace dos años y desde entonces ha mejorado y depurado constantemente la tecnología aplicada. Como principales características, podemos citar que son: re-programables, baratas, de menor consumo que las SRAM y más rápidas que las otras tecnologías disponibles, aunque esto puede depender ligeramente del tipo de diseño.

Las familias de FPGAs Flash de Actel, se denominan:

- ProASIC PLUS
- ProASIC 3

Entre sus características generales podemos citar:

- Single Chip – Chip único, no necesita memoria externa para su funcionamiento
- Live At Power Up – no necesita tiempo de arranque como SRAM
- Nonvolatile – no es volátil
- Bajo consumo
- Seguras
- Inmune a los errores tipo Firm Error
- Memorias no volátil a bordo
- Bajo coste
- No necesita inversión en NRE como los ASICs
- ISP – verdadero y protegido
- Prototipos rápidos
- Re-programable

Arquitectura interna

Basadas en tecnología Flash que requieren menor número de transistores por nodo que otras tecnologías hacen que la capacidad total por mm² sea mayor. Además la tabla equivalente *Look Up Table* (LUT) es de 3 a 1 y esto hace que sea más fácil conseguir mejores compilaciones y alcanzar un promedio mayor de utilización de los recursos disponibles.

Adicionalmente se consiguen mejoras en las operaciones aritméticas con el FLIP-FLOP equivalente que

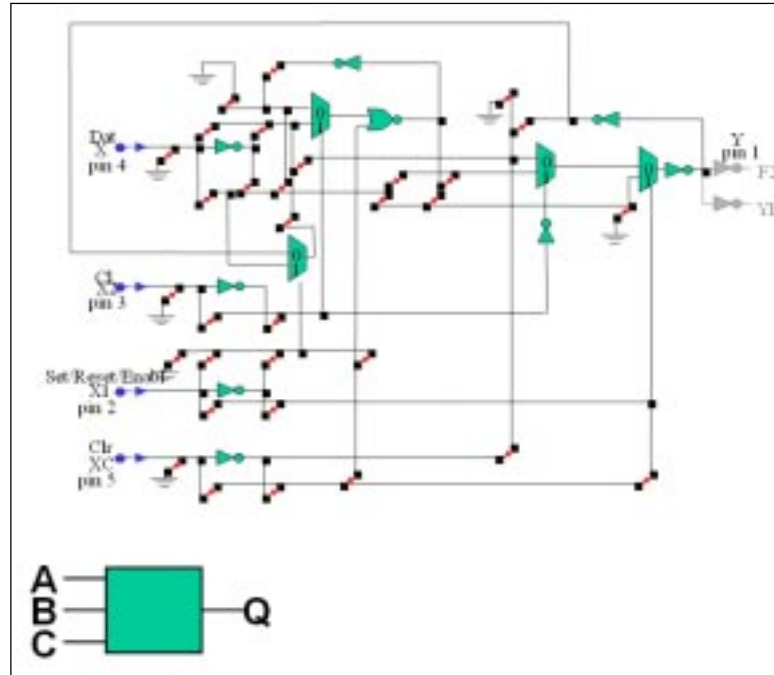


Figura 3. Célula TILE y su detalle

dispone de todas las señales "D", CLK, Enable y SET o RESET.

Dispone de hasta 75000 TILES, cada uno de los cuales se puede convertir en un *Look Up Table* (3 a 1) o en un *Flip-Flop*.

Seis relojes globales recorren el dispositivo y puede trabajar hasta en 12 cuadrantes diferentes. Esto facilita la compilación de diversos diseños en cualquier zona del dispositivo.

El acondicionamiento de la señal principal es sumamente avanzado y cumple los siguientes requisitos:

- 6 retardos programables y un bloque de retardo fijo que proporciona facilidad para adelantar o retrasar fases
- 5 divisores de frecuencias que proporcionan multiplicadores o divisores de frecuencia (Solo en PLL)
- 1 registro de desplazamiento dinámico que proporciona capacidad y re-configuración dinámica de CCC
- Ajustes de fases del reloj
 - ⇒ 0°, 90°, 180°, y 270° (PLL solamente)
 - ⇒ Retardo/adelanto fase programable (160 ps/ paso desde -7.56 ns hasta +11.12 ns)

- Capacidad de síntesis de frecuencia del reloj
- Contiene PLL
 - ⇒ Solo un PLL en ProASIC3 y seis en ProASIC3/E

Memoria disponible

Hasta 504K bits organizada en 112 bloques programables de 408 bits con las siguientes características y señales de control:

- 2 de lectura y 2 de escritura en los puertos – True dual port
- Operaciones síncronas (Hasta 350 MHz)
- Programable totalmente
 - ⇒ Organización de 4kx1, 2kx2, 1kx4, 512x9, 256x18
 - ⇒ utilizables en cascada en ancho y tamaño
 - ⇒ Generación automática a través de ACTgen
 - ⇒ Señales independientes de lectura/escritura por puerto
- Decodificador, FIFO, control y Flag logic dentro de bloque de memoria RAM
- FIFO programable de tamaño y flag threshold

Figura 4. En esta foto se muestra la relación entre NVM y el resto de la FPGA

Flash ROM

Existe 1k (1024 bit NVM) de memoria FLASH disponible que el usuario puede emplear para cualquier propósito. A continuación se listan una serie de posibilidades:

- Protocolos de Internet (MAC device) addressing
- Parámetros de calibración del sistema
- Almacenamiento de la configuración del sistema para el arranque del mismo cuando ocurra un apagado
- Información sobre el dispositivo y control de inventario
- Seguimiento de las versiones del software de programación
- Encriptación de seguridad para almacenaje seguro AES, 3-DES, DES
- Presets de usuario
- Información de las versiones por fechas

Software

El mismo software y el mismo entorno usado para los dispositivos antifusible sirven de base para esta



nueva tecnología. Lo que hace fácil su aprendizaje y solo habría que repasar someramente la tecnología Hardware para aprovechar sus recursos.

VHDL, Captura de esquemáticos, Modelsim, Synplify lo convierten en un software muy adecuado y cómodo de utilizar por parte de cualquier ingeniero por muy inexperto que fuere.

Resumen

Actel con esta nueva tecnología ofrece una gama amplia de productos al alcance de cualquier diseñador por muy complicado que sea el nivel de diseño o los requisitos de velocidad o de protección.

A través de las actuales herramientas el usuario puede alcanzar un nivel de satisfacción razonable y aprovechando las mejoras conseguidas introducir novedades adicionales para los diseños existentes y abrir la puerta a nuevas aplicaciones.

La tecnología Flash todavía puede reducir más los costes actuales de las FPGAs, atrayendo los diseños hasta ahora de dominio exclusivo de los ASICs. Sin gastos de NRE y reduciendo de manera impresionante el tiempo de espera en la verificación de las piezas definitivas, se reduce el tiempo de presentación del producto al mercado así como los riesgos al efectuar modificaciones de última hora en el diseño al tiempo que mejora drásticamente el coste comparativo con los ASICs. □