

# Sonda dinámica para FPGA

Por Joel Woodward, Agilent Technologies

Joel Woodward es licenciado en ingeniería electrónica por la Universidad de Brigham Young y MBA por la Univ. de Regis. En los últimos 14 años, ha trabajado en Agilent Technologies (HP) como ingeniero y responsable de herramientas de desarrollo dentro de los sectores de medida, y automatización para diseños electrónicos (EDA).

Figura 1. El software de aplicación con sonda dinámica para FPGA permite cambiar de puntos de sondeo virtual dentro de las FPGA Xilinx en menos de un segundo. La aplicación de análisis lógico se comunica con un núcleo de depuración a través de JTAG. Con ello se consigue una mayor productividad de depuración y se acortan días o incluso semanas los plazos de los proyectos.

Figura 2. El núcleo de trazado configurable de segunda generación de Agilent (ATC2, Agilent Trace Core 2) proporciona visibilidad sobre un máximo de 64 señales internas de la FPGA por cada patilla asignada a la depuración. Está exento de derechos de autor y se incluye con Xilinx

*Una innovadora tecnología que mejora considerablemente la productividad de la depuración en circuito.*

Las FPGA desempeñan un papel cada vez más importante en el desarrollo de proyectos, donde la necesidad de unos diseños de alto rendimiento con arquitecturas flexibles choca con el reducido tamaño de los grupos de ingenieros, unos presupuestos limitados y la brevedad de los plazos de desarrollo.

Las metodologías tradicionales de depuración en circuito limitan la rapidez con que los ingenieros pueden desvelar los problemas de diseño.

Pero una nueva e innovadora tecnología, desarrollada conjuntamente por Xilinx y Agilent, proporciona un método más rápido y eficaz para la depuración de las FPGA y los sistemas circundantes.

A menudo, los defectos de diseño en unos sistemas cada vez más complejos sólo se manifiestan en tiempo real, cuando varios subsistemas y elementos de software interactúan entre sí.

Utilizando FPGAs, los equipos de diseñadores pueden avanzar rápidamente hacia la integración de sus sistemas, lo que hace aún más importante contar con un método eficaz de depuración y validación. Con una visibilidad suficiente, la depuración en circuito de los diseños de FPGA permite sacar a la luz, en cuestión de minutos, problemas que se habría tardado horas, días o semanas en simular.

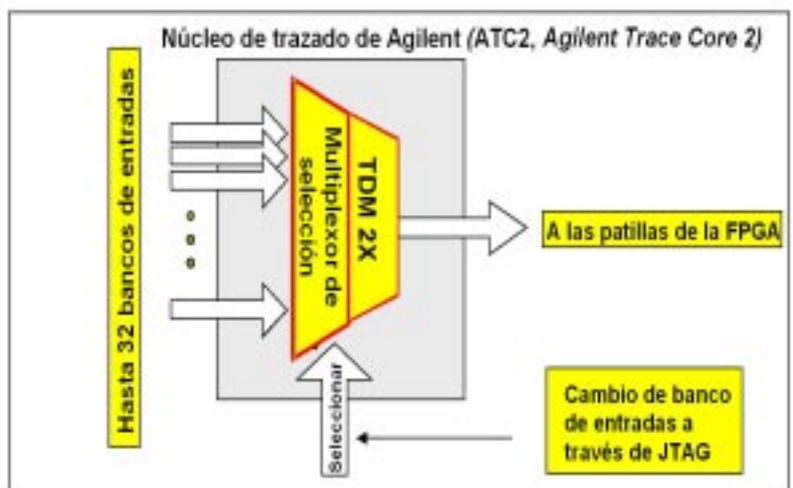
Las medidas con analizadores lógicos resultan especialmente indicadas para la depuración de las FPGA y los sistemas que las rodean. Un método de medida muy habitual consiste en aprovechar la naturaleza programable de la FPGA para encaminar las señales internas hacia un reducido número de patillas. Aunque este es un método muy útil, plantea algunas limitaciones que reducen su productividad.

Las patillas de una FPGA suelen ser un recurso caro, por lo que el número de ellas que está disponible para depuración es relativamente pequeño. Se necesita una patilla por cada señal interna que se desee sondear, lo cual limita la visibilidad de los nodos internos a ese escaso número de señales. Para los equipos de diseño, este grado de visibilidad resulta casi siempre insuficiente.

Cuando se necesita medir otras señales internas, es preciso reconducir nuevas señales hacia las patillas de salida, lo cual obliga en ocasiones a recompilar todo el diseño.

En cualquier caso, el cambio consume recursos de ingeniería, y puede alterar la temporización de la FPGA. Para poder interpretar adecuadamente las medidas, cada vez que se reconduzcan nuevas señales hacia las patillas de salida, un ingeniero habrá de actualizar manualmente en el analizador lógico los nombres de las etiquetas y las posiciones de las sondas para que coincidan con la nueva configuración de medida.

Los equipos de ingeniería pueden aprovechar una nueva tecnología para mitigar esos problemas.



Agilent y Xilinx se han aliado para combinar la tecnología Chip-Scope Pro con la aplicación de análisis lógico con sonda dinámica para FPGA de Agilent. Los usuarios de ChipScope Pro pueden utilizar los productos Core Inserter o Core Generator de Xilinx para insertar un núcleo de trazado de Agilent (ATC2, *Agilent Trace Core 2*) en las FPGA, lo que les permitirá mejorar la productividad de sus sesiones de depuración. Este núcleo está controlado por la aplicación de software de análisis lógico con sonda dinámica para FPGA de Agilent Technologies, que funciona sobre los analizadores lógicos de Agilent de las series 1680, 1690 y 16900.

### Acortando los tiempos de desarrollo. Mayor visibilidad y configuración de sondas en menos de un segundo

La sonda dinámica para FPGA ofrece cuatro grandes ventajas:

- El núcleo ATC2 permite seleccionar dinámicamente las señales internas sobre las que se desea realizar el análisis lógico, sin incurrir en las limitaciones (posibles recompilaciones, con el impacto que suponen sobre la temporización) del método tradicional consistente en reconducir señales hacia patillas de salida concretas. Los equipos de diseño pueden utilizar Core Inserter para especificar grupos de señales internas de la FPGA que puede ser necesario medir. Cada grupo de señales representa una entrada al núcleo ATC2. El núcleo permite encaminar un grupo de señales de entrada hacia las patillas de salida. Con sólo pulsar el ratón en la aplicación de análisis lógico, el analizador cambiará el grupo de señales internas de la FPGA que se reencaminan a través del núcleo. Con ello se evita tener que recompilar para modificar la configuración de sondeo de señales, lo que ahorra días de desarrollo

en el diseño de cada FPGA. Además, este método mantiene constante la temporización.

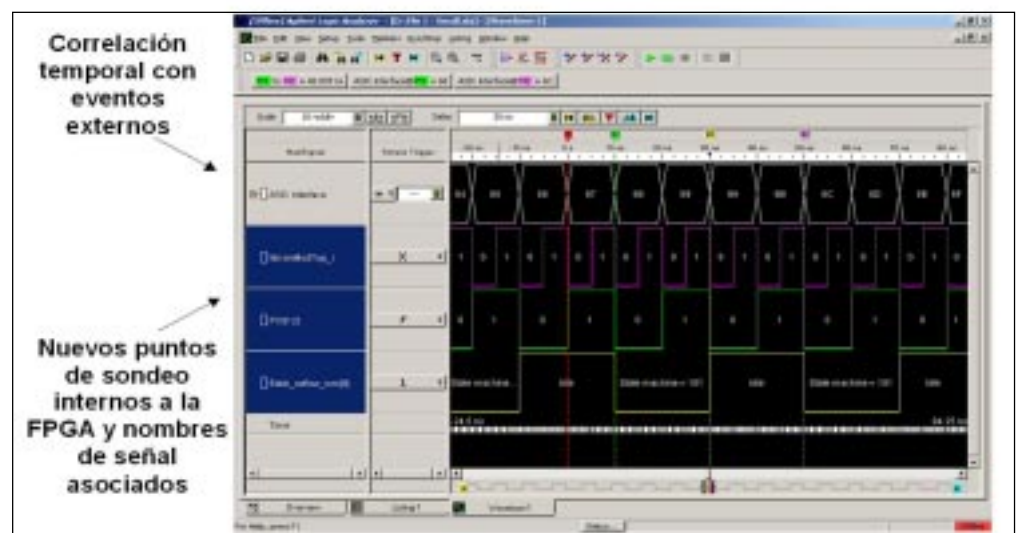
- La relación entre señales y patillas para depuración suele ser 1:1, pero la sonda dinámica para FPGA aumenta este factor de visibilidad hasta 64:1. Al disponer de 32 grupos de entradas en el núcleo ATC2, cada patilla concreta puede acceder secuencialmente a 32 señales internas. Y con el modo de compresión 2X, disponible como opción, cada patilla puede acceder a dos señales de cada uno de los 32 grupos de entradas, lo que proporciona una visibilidad total de 64 señales por patilla. Eso significa que, por cada patilla asignada a depuración, los equipos de diseño pueden acceder nada menos que a 64 señales internas. Al disponer de una mayor visibilidad para determinados tipos de validaciones, los ingenieros pueden evitar el engorroso proceso de creación de bancos de pruebas, sustituyéndolo por una validación más rápida que se realiza dentro del propio circuito.

- La sonda dinámica para FPGA automatiza el proceso de etiquetado cuando se selecciona un nuevo conjunto de señales internas. Los analizadores lógicos equipados con esta aplicación leen un archivo `.cdc` generado por Core Inserter, que

contiene todos los nombres de nodos de las señales que pueden llegar a seleccionarse en algún momento. Puesto que esta herramienta lleva el control de las señales que están siendo encaminadas en cada momento a través del núcleo ATC2, la aplicación de software que se ejecuta en el analizador lógico introduce automáticamente los nombres de señales y las posiciones de canales en el menú de configuración del análisis lógico. Esta operación tiene lugar cada vez que se sondea un nuevo conjunto de señales internas. Además, con ello se ahorra tiempo y se evitan errores.

- La sonda dinámica para FPGA ayuda a los grupos de trabajo a obtener medidas de estado más precisas. El núcleo invoca los estímulos de prueba que captura el analizador lógico. Este analizador muestra el patrón de prueba y determina automáticamente el momento más adecuado para muestrear cada señal dentro del ciclo de reloj. Esta calibración compensa las variaciones en la longitud de los trayectos, lo que garantiza la exactitud de las medidas de estado. Esta característica resulta especialmente útil en los circuitos de alta velocidad, en los que las ventanas temporales de validez de los datos son muy estrechas.

Figura 3. La sonda dinámica para FPGA extrae automáticamente los nombres de las señales internas y actualiza el analizador lógico cada vez que se seleccionan nuevos puntos de sondeo. De este modo se ahorra a los diseñadores el engorroso trabajo de configurar el analizador lógico cada vez que se selecciona un nuevo conjunto de puntos de sondeo.



### Configure el núcleo ATC2 para adaptarlo a sus necesidades de depuración

El núcleo ATC2 puede configurarse según las necesidades de los equipos de diseño. El número de patillas, el número de bancos de entrada y el modo de muestreo (estado o temporización) son algunos de los parámetros configurables. El núcleo ATC2 ha sido diseñado para que ocupe un espacio mínimo dentro de la FPGA. Por ejemplo, un núcleo ATC2 con 8 bits de visibilidad en cada uno de los 32 bancos de entradas consume sólo el 2% de las subdivisiones en un dispositivo XC2V300. Este núcleo proporciona visibilidad sobre 256 señales utilizando sólo 8 patillas. La reducción del número de bancos de entrada y de patillas utilizadas permite disminuir aún más el número de recursos de la FPGA consumidos. Y si se necesita más visibilidad, basta con aumentar el número de bancos de entrada y de patillas utilizadas. Los equipos de diseño pueden llegar a soluciones de compromiso dependiendo del dispositivo concreto que elijan y del grado de visibilidad que necesiten.

El núcleo ATC2 funciona a la misma velocidad que el dispositivo. Por tanto, las velocidades de medida sólo están limitadas por la capacidad de captura de datos del analizador lógico. Con velocidades de transición de estados superiores a 200 MHz y velocidades de temporización de 4 GHz, la mayoría de los nuevos analizadores lógicos tienen margen suficiente para realizar medidas precisas

en FPGA tanto ahora como en los próximos años.

En los casos en que los equipos de diseño se enfrenten a algún problema de depuración más difícil de resolver, pueden crear varios núcleos ATC2 que coexistan armoniosamente dentro de un mismo dispositivo. El software de aplicación de la sonda dinámica para FPGA puede controlar también núcleos ATC2 situados en varias FPGA distintas, siempre y cuando todas ellas se encuentren en la misma cadena de barrido.

La nueva tecnología permite a los grupos de trabajo correlacionar con mayor facilidad eventos internos de la FPGA con eventos externos, para localizar los problemas con más rapidez. Puesto que el núcleo ATC2 facilita las medidas internas a la FPGA, el analizador lógico puede correlacionar en el tiempo esas medidas con las realizadas en cualquier otro punto del sistema de destino. Ello permite explorar más a fondo y en menos tiempo el diseño de sus sistemas. La nueva tecnología de sondeo virtual de las sondas dinámicas para FPGA, combinada con un analizador lógico, desdibuja la frontera entre las medidas internas y externas de la FPGA.

### Conclusión

La colaboración entre Xilinx y Agilent en el desarrollo del núcleo ATC2, que está exento de derechos de autor, y la sonda dinámica para FPGA, permitirá mejorar la productividad de las tareas de depuración en circuito. Agilent ya ha utilizado internamente esta tecnología para aho-

rrar semanas de desarrollo en un proyecto crítico en el que se utilizaron varias FPGA Xilinx. El ingeniero responsable del hardware comprobó que esta solución permite detectar, en cuestión de minutos, problemas que antes se tardaba horas o incluso días en desvelar. A medida que aumenta el tamaño de las FPGA y los diseños más grandes se benefician de las mayores densidades de integración, los equipos de diseño se ven obligados a adaptarse utilizando metodologías de depuración más innovadoras.

La sonda dinámica para FPGA y el núcleo ATC2 proporcionan herramientas críticas para una depuración eficaz. Con nuevas herramientas como éstas, los diseñadores más eficaces podrán planificar la fase de depuración desde el principio del proceso de desarrollo. Esta metodología que integra la depuración con el diseño les permitirá afrontar la imparable sofisticación de los diseños.

El software ChipScope Pro permite a los usuarios de las FPGA Xilinx depurar fácilmente los diseños. Los núcleos ChipScope Pro están integrados en la FPGA, lo que proporciona capacidades de verificación y depuración en tiempo real a través de un puerto JTAG estándar. Existe una versión gratuita de evaluación válida durante 30 días, que puede descargarse a través de la web.

Para más información sobre ChipScope Pro, consulte la dirección [www.xilinx.com/chipscopepro](http://www.xilinx.com/chipscopepro). Sobre la sonda dinámica FPGA de Agilent, el núcleo ATC2 y los analizadores lógicos compatibles, consulte la dirección [www.agilent.com/find/FPGA](http://www.agilent.com/find/FPGA). □

REVISTA ESPAÑOLA DE  
**electrónica**

**50 años al servicio del Sector  
Electrónico en España**