

Diseño eficiente de una distribución de reloj

Artículo cedido por ARROW IBERIA Electronica

Para más información:
 ARROW IBERIA
 Electrónica
 Tfn.: 91 304 30 40
 Fax.: 91 327 24 72
 www.arrowiberia.com
 info@arrowiberia.com

El diseño del árbol del reloj puede ser desalentador; conseguido de forma incorrecta y las prestaciones del producto pueden verse seriamente comprometidas; conseguirlo de forma correcta y que el mismo producto gane flexibilidad, prestaciones y una ventaja adicional en el coste ayuda a competir con más eficacia en una gama más amplia de mercados. Josef Neubauer de IDT™ (Integrated Device Technology, Inc.), expone las líneas generales del proceso estructurado usado por el servicio de diseño 'Arbor Clock Tree' de IDT.

El diseño del árbol del reloj está llegando a ser cada vez más complejo debido a la búsqueda que los vendedores realizan para explo-

tar nuevos mercados y así añadir soporte a sus productos para más y más protocolos de comunicación. Esto no sólo hace que los diseñadores necesiten tener en cuenta en su diseño los diversos requisitos de sincronización del procesador, de los dispositivos de radiofrecuencia (RF), analógicos-digitales y digitales-analógicos, también necesitan consolidar los requisitos de sincronización de las diversas interfaces de comunicaciones.

Los descodificadores de TV son un buen ejemplo de esto. No hace demasiado tiempo, un descodificador de TV tenía interfaces para una antena, euroconector (SCART: Syndicat des Constructeurs d'Appareils Radiorécepteurs et Téléviseurs), ví-

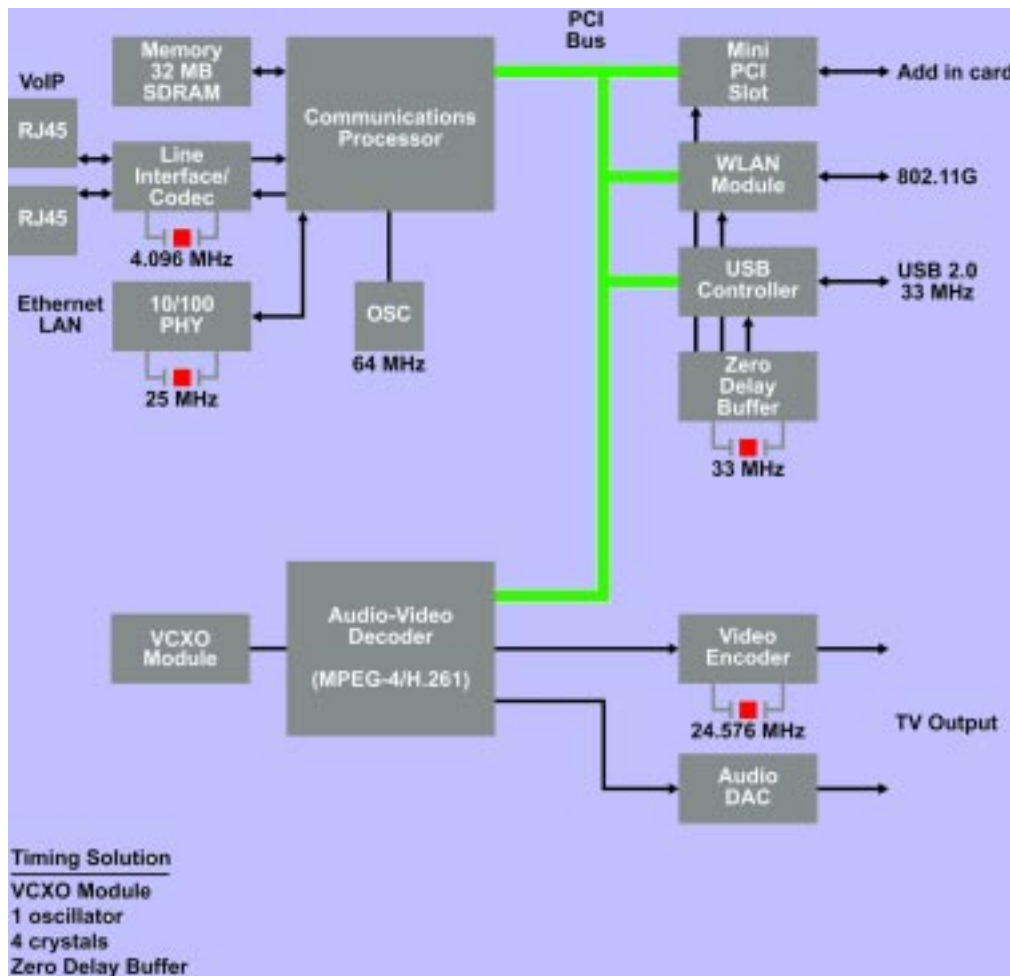
deo, audio y quizás, una conexión serie para las actualizaciones del software.

En nuestros días existe un mercado que está cada vez más impulsado por las comunicaciones, los descodificadores de TV necesitan también interfaces para Ethernet, WLAN, USB, SATA, DVI (Digital Visual Interface) y HDMI (High-Density Multimedia Interface). Al mismo tiempo que cada nueva interfaz aumenta el número de relojes dentro del circuito y agrega complejidad al árbol del reloj, la consolidación eficaz se convierte en una parte aún más crucial del proceso del diseño. En la figura 1 se muestra un circuito típico para un descodificador de TV bajo IP con soporte para WLAN, PCI y USB.

Este circuito se basa en una solución convencional de sincronización, usando tres osciladores soportados por un módulo de VCXO, dos cristales y un buffer de retardo cero para gestionar las cuatro frecuencias diferentes dentro del circuito. Otros dispositivos de sincronización tales como buffers de 'fan-out', desplazadores de nivel y PLL se utilizan también ampliamente en soluciones convencionales.

Una solución alternativa sería utilizar un sintetizador del reloj para consolidar las diversas frecuencias. Esto tiene la ventaja adicional de reducir el número de componentes para la gestión de la sincronización, de siete dispositivos a apenas cuatro y también mejora la fiabilidad al mismo tiempo que reduce el coste y el inventario. (Véase la figura 2).

Sin embargo, con millares de productos potenciales en el mercado, elegir el dispositivo correcto puede ser un proceso que desperdicia tiempo. Las características eléctricas críticas, tales como las prestaciones de jitter y frecuencia, deben estar equilibradas teniendo en cuenta el espacio disponible en la placa de circuito y los factores comerciales tales como el precio, la disponibili-



dad a largo plazo, segundas fuentes de suministro y la carga que supone mantener en el inventario múltiples dispositivos de sincronización.

Para agilizar este proceso, el servicio de 'Arbor Clock Tree Consolidation' de IDT ha identificado los pasos críticos requeridos para seleccionar los dispositivos convenientes de sincronización, incluso para los diseños con perfiles exigentes de sincronización tales como los que funcionan a frecuencias sobre 100 MHz o con los altos requisitos de jitter o del ruido de fase de las interfaces de comunicaciones de alta velocidad.

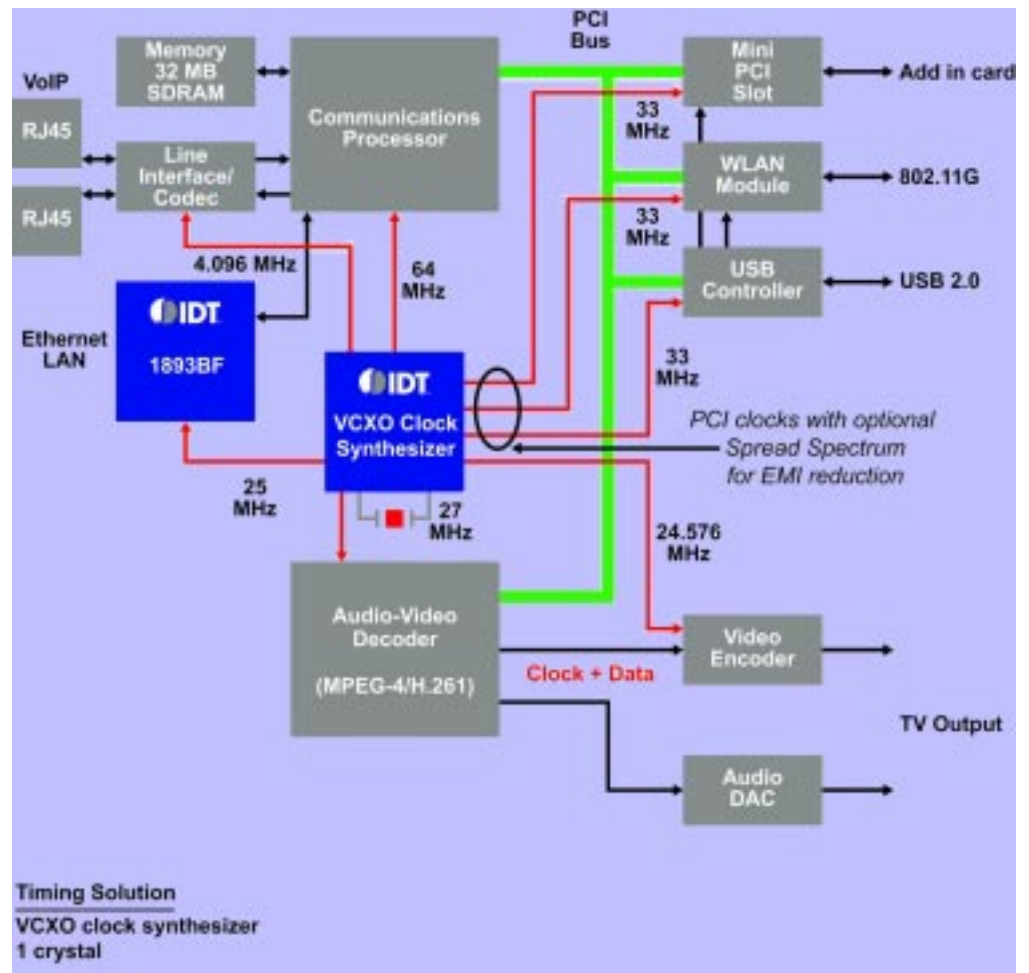
Primeros pasos: reunir información sobre los requisitos del reloj

El primer paso en la consolidación eficaz del árbol del reloj es recopilar juntos todos los datos necesarios y buscar una cierta estandarización dentro del circuito. Cada entrada/salida (I/O) dentro del circuito debe ser detallada y recopilada en una lista según las diversas frecuencias, requisitos de jitter y estándares de entrada/salida (I/O) (ejemplo: CMOS, TTL, LVDS).

Una vez que la lista de frecuencias esté completa, se pueden agrupar según sus relaciones de fase. En este punto, es útil considerar si la mejor solución es la tener un reloj centralizado o descentralizado. Si se elige la solución de un reloj descentralizado entonces hay que partir el árbol del reloj y es necesario clarificar su localización en la placa de circuito.

Elección de la tecnología correcta

El paso siguiente es elegir la tecnología que se adecue mejor a los requisitos de las frecuencias, de la funcionalidad y del jitter dentro del



circuito. Típicamente, los dispositivos de silicio serán utilizados para las frecuencias hasta 500 MHz y los de silicio-germanio (SiGe) para las frecuencias sobre 500 MHz.

Al establecer la tecnología correcta, la búsqueda se puede reducir a las familias de producto que están optimizadas para los parámetros específicos del circuito. Algunas familias se optimizan para un tipo específico de entrada/salida, para el ruido bajo de la fase, para diversos anchos de banda del PLL o incluso para ciertas aplicaciones (ejemplo: PCI Express™ o USB) mientras que otros incorporan capacidades de redundancia o de espectro disperso para reducir las emisiones electromagnéticas (EMI).

¿Discreto, programable o personalizable?

El tipo de implementación también debe ser considerada. ¿Debería el árbol del reloj ser una solución discreta, (re)-programable o totalmente personalizada?

Las soluciones discretas son quizás las más directas, sin embargo para los diseños pensados para un volumen de producción entre bajo y medio, una solución programable de la sincronización pueden tener ventajas. En base a buses de transmisión de datos en serie, OTP (One-Time-Programmable) o EEPROM, la capacidad de programar los multiplicadores y los divisores del PLL, los

niveles de producción y las funciones quizás especiales tales como el ancho de banda del PLL, o las características específicas de EMI como espectros dispersos o la velocidad de subida de los flancos de tensión, pueden reducir el número de las piezas requeridas en inventario, reducir el espacio en la placa del circuito y acelerar la creación de prototipos. Las versiones de EEPROM pueden también soportar la reprogramación de las frecuencias para permitir que el circuito sea finamente ajustado en cualquier momento del desarrollo y del ciclo de vida del producto. La utilización de soluciones programables de sincronización permite utilizar el mismo dispositivo en una amplia gama de productos, lo cual reduce el coste debido a los volúmenes más altos de producción y también facilita la gestión del inventario.

En el caso de diseños de un volumen de producción más alto se podría considerar también una implementación totalmente personalizada donde el árbol completo del reloj se construye con un solo dispositivo que reduce el espacio en la placa del circuito y el número de componentes al mismo tiempo que

ofrece un alto nivel de optimización en cuanto a la funcionalidad y el coste.

Optimización e implementación

Los límites de potencia del diseño, el espacio disponible y los puntos de inflexión del precio pueden también influenciar la opción final para la solución de sincronización, mientras que los factores comerciales tales como la disponibilidad de las piezas a largo plazo y de las segundas fuentes de suministro son también importantes.

Durante la implementación, el seguimiento cuidadoso de las pausas de la disposición para cada parte incrementan la probabilidad de que el diseño sea correcto a la primera y ayuda a prevenir los errores espurios causados por la mala integridad de señal.

Resumen de la consolidación del árbol del reloj

La consolidación del árbol del reloj está llegando a ser cada vez más importante en tanto que los

productos buscan añadir soporte para los nuevos estándares de comunicaciones tales como WLAN, Ethernet, USB, SATA, DVI y HDMI. Al mismo tiempo que cada nueva interfaz agrega una carga a la sincronización del circuito, la consolidación eficaz del árbol del reloj puede mejorar perceptiblemente el funcionamiento y la fiabilidad del sistema, así como la reducción del número de componentes y el espacio en la placa de circuito impreso. Con millares de dispositivos de gestión del reloj entre los que elegir, es esencial un método estructurado para definir los requisitos de la sincronización de cada sistema.

El método expuesto en este artículo es utilizado por el servicio de la consolidación del árbol del reloj de IDT (IDT Arbor Clock Tree Consolidation service). Este servicio gratuito utiliza parámetros críticos del circuito tales como las frecuencias, entradas/salidas (I/Os), fase y los requisitos de jitter, así como otros factores tales como las restricciones de coste y espacio en la placa de circuito impreso, para construir un árbol del reloj en base a sus propios productos o en una combinación de piezas de IDT y de otros.